

EMI、RFI和屏蔽概念

电磁兼容性(EMC)简介

模拟电路性能常常会因附近电气活动产生的高频信号而受到不利影响。此外，内置模拟电路的设备也可能对其外部的系统产生不利影响。参考文献1(第4页)根据IEC-60050定义给出了“电磁兼容性(EMC)”定义：

EMC是指器件、整套设备或系统在电磁环境下保持良好性能且不会向该环境中的任何器件、设备或系统引入大量电磁干扰的能力。

因此，术语“EMC”描述以下两个方面：

1. 电气电子系统保持正常工作且不干扰其它系统的能力。
2. 此类系统在额定电磁环境中按预期工作的能力。

因此，完整的EMC保证将会表明：设计中的设备应该既不会产生杂散信号，也不易受带外外部信号(即目标频率范围之外的那些信号)影响。模拟设备多数时候深受后一类EMC问题之害。此部分将重点介绍如何恰当处理这类杂散信号。

外部产生的电气活动可能产生噪声，这种噪声称为“电磁干扰(EMI)”或“射频干扰(RFI)”。下面将从电磁干扰和射频干扰两个方面探讨EMI。对模拟设计人员来说，较具挑战性的任务之一就是合理控制设备，防止出现因EMI而造成的不良操作。必须注意，这种情况下，EMI和/或RFI通常都是有害的。一旦进入设备内部，它既能够也会造成设备性能下降，而且通常影响相当大。

此部分将着重介绍如何最大程度地减少因收到EMI/RFI信号而导致的不良模拟电路操作。此类不良行为也称为“EMI或RFI敏感度”，指示设备暴露于EMI/RFI时出现异常行为的倾向。当然还有互补EMC问题，即关于杂散“辐射”。不过，与高速逻辑等相比，模拟电路通常较少涉及到脉冲驱动的高速、高电流信号边沿(即产生此类杂散信号的信号边沿)，所以此处并未重点介绍EMC的这一方面。但无论如何，读者应当注意，这点可能很重要，尤其是模拟电路与高速逻辑一起共同构成混合信号环境时。

由于所有这些EMC设计重点都至关重要，因此强烈建议各位读者补充阅读教程结尾部分的参考文献。实际上，为了实现针对EMI、RFI和EMC周密完善的设计，设计人员需要非常熟悉这些参考文献中的一个或多个(参见参考文献1-6)。这项课题范围极其广阔，现在也变得越来越重要，以下材料仅为其简介。

EMI/RFI机制

要了解并合理控制EMI和RFI，首先需要将其分离成便于管理的各部分。因此，请记住，当确实出现EMI/RFI问题时，基本上都可以将其分成“来源”、“路径”和“接收器”几部分，这点非常有用。系统设计人员可以直接控制其中的接收器部分，同时还可能控制部分路径。但是，设计人员几乎不可能控制实际来源。

EMI噪声源

干扰噪声总是可以通过这样或那样的方式耦合至模拟电路，从而破坏电路精度。这样的噪声源有很多，图1列出了其中一些。

- ◆ EMI/RFI noise sources can couple from *anywhere*
- ◆ Some common sources of externally generated noise:
 - Radio and TV Broadcasts
 - Mobile Radio Communications
 - Cellular Telephones
 - Vehicular Ignition
 - Lightning
 - Utility Power Lines
 - Electric Motors
 - Computers
 - Garage Door Openers
 - Telemetry Equipment

图1：一些常见的EMI噪声源

由于几乎不可能控制这些EMI来源，那么退而求其次，就是发现和了解EMI耦合至设计中设备的可能路径。

EMI耦合路径

EMI耦合路径实际上寥寥无几，最常见的三种路径如下：

1. 因传导而产生的干扰(公共阻抗)
2. 因容性或感性耦合而产生的干扰(近场干扰)
3. 电磁辐射(远场干扰)

噪声耦合机制

只要系统中存在阻抗不匹配或不连续，EMI能量就可能进入系统。一般而言，这种情况发生在接口处(即承载敏感模拟信号的电缆连接到PCB，并通过电源引脚的地方)。电缆连接不当或电源滤波方案不佳通常都是干扰滋生的“完美温床”。

当两个或以上的电流共享公共路径(阻抗)时，也可能产生传导噪声。这种公共路径通常为高阻抗“接地”连接。如果两个电路共享此路径，那么一个电路的噪声电流就会在另一电路中产生噪声电压。这种潜在干扰源可以通过几个步骤来识别(参见参考文献1和2，以及教程[MT-031](#))。

图2所示为噪声从外部来源进入电路的一些常见方式。

- ◆ Impedance mismatches and discontinuities
- ◆ Common-mode impedance mismatches → Differential Signals
- ◆ Capacitively Coupled (Electric Field Interference)
 - $dV/dt \rightarrow$ Mutual Capacitance \rightarrow Noise Current
(Example: 1V/ns produces 1mA/pF)
- ◆ Inductively Coupled (Magnetic Field)
 - $di/dt \rightarrow$ Mutual Inductance \rightarrow Noise Voltage
(Example: 1mA/ns produces 1mV/nH)

图2：EMI如何进入设备

以电介质(空气、真空以及所有固态或液态绝缘体都属于电介质)隔开的任何两条导线之间都存在电容。如果一条导线上的电压发生变化，则另一导线上的电荷就会发生变化，而电介质中将出现位移电流。当电容或 dV/dT 很高时，就很容易耦合噪声。例如，1 V/ns的变化速率会引起1 mA/pF的位移电流。

如果一个电路中电流流动产生的磁通密度变化耦合至另一电路，则会在第二个电路中引入电动势。这种“互感”是一种非常麻烦的噪声源，其耦合自 dI/dT 值较大的电路。例如，如果互感为1 nH，则电流变化速率为1 A/ns时，会引入1 V的电动势。

降低公共阻抗噪声

图3中列出了可消除或降低公共阻抗噪声(因传导路径共享阻抗而出现的噪声)的一些步骤。

- ◆ **Common-impedance noise**
 - Decouple op amp power leads at LF and HF
 - Reduce common-impedance
 - Eliminate shared paths
- ◆ **Techniques**
 - Low impedance electrolytic (LF) and local low inductance (HF) bypasses
 - Use ground and power planes
 - Optimize system design

图3：公共阻抗噪声的一些解决方案

这些方法应与教程[MT-031](#)中介绍的所有相关技术配合使用。

给多个电路供电的供电轨就是很好的公共阻抗例子。实际电源可能具有低输出阻抗，也可能不是，尤其是在频率发生变化时。另外，用于配电的PCB走线同时具有感性和阻性，也可能构成接地环路。使用电源层和接地层还可以降低配电阻抗。PCB上的这些专用导体层是连续的(理想情况下如此)，因此实际电阻和电感极低。

在某些应用中，低电平信号会遇到高电平公共阻抗噪声，此时不可能防止干扰，而是可能需要改变系统架构。可能需要改变以下几方面：

1. 以差分形式传输信号
2. 将信号放大到较高电平，以改善信噪比
3. 将信号转换为电流以便传输
4. 将信号直接转换为数字形式

近场干扰的感生噪声

“串扰”是第二常见的干扰形式。在噪声源附近(即近场)时，干扰不是以电磁波形式传送，而串扰一词可以指代感性或容性耦合信号。

降低容性耦合噪声

容性耦合噪声可以通过减少耦合电容(方法是增加导线间距)来降低,但最简单的解决方法是采用屏蔽。通过在信号源和受影响节点之间放置导电且接地的屏蔽体(称为“法拉第屏蔽体”),可将位移电流直接路由至地,从而消除这种噪声。

使用此类屏蔽体时,值得注意的是,法拉第屏蔽体必须接地,这点非常重要。屏蔽体浮动或开路无一例外都会导致容性耦合噪声增加。如需简单回顾这种屏蔽方法,请参见本文结尾部分的参考文献2和3。

图4汇总了消除电容耦合干扰的方法。

- ◆ Reduce Level of High dV/dt Noise Sources
- ◆ Use Proper Grounding Schemes for Cable Shields
- ◆ Reduce Stray Capacitance
 - Equalize Input Lead Lengths
 - Keep Traces Short
 - Use Signal-Ground Signal-Routing Schemes
- ◆ Use Grounded Conductive Faraday Shields to Protect Against Electric Fields

图4: 降低电容耦合噪声的方法

降低磁耦合噪声

图5汇总了消除磁场导致干扰的方法。

- ◆ Careful Routing of Wiring
- ◆ Use Conductive Screens for HF Magnetic Shields
- ◆ Use High Permeability Shields for LF Magnetic Fields (μ -Metal)
- ◆ Reduce Loop Area of Receiver
 - Twisted Pair Wiring
 - Physical Wire Placement
 - Orientation of Circuit to Interference
- ◆ Reduce Noise Sources
 - Twisted Pair Wiring
 - Driven Shields

图5: 降低磁耦合噪声的方法

为了说明磁耦合噪声的影响，假设闭环面积为 $A \text{ cm}^2$ 的电路在通量密度均方根值为 B (高斯)的磁场内工作。那么，此电路中的感生噪声电压 V_n 可以用下式表示：

$$V_n = 2 \pi f B A \cos\theta \times 10^{-8} \text{ V} \quad \text{公式 1}$$

在此公式中， f 表示磁场频率， θ 表示磁场 B 与环路面积为 A 的电路之间的角度。通过减少电路环路面积、磁场强度或入射角，便可以降低磁场耦合。要减少电路环路面积，则需要将电路导线排列得更紧密。将导线绞合在一起可以减少环路净面积。理想情况下，正负增量环路面积等于零，因此具有消除磁场耦合的效果。直接减弱磁场可能比较困难。不过，由于磁场强度和电路与干扰源的距离立方成反比，因此使受影响的电路远离磁场可以显著降低感生噪声电压。最后，如果电路与磁场垂直，则可以将耦合降至最低。如果电路的导线与磁场平行，那么入射角为零，因此感生噪声将达到最大。

还有一些技术可用于从来源上降低磁场干扰情况。在前面的段落中，接收器电路的导线被绞合在一起，以消除导线周围的感生磁场。同一原理也可用于干扰源走线。如果磁场源为流过临近导线的大电流，那么可以将这些导线绞合在一起，从而减少净磁场。

虽然屏蔽体和屏蔽套对磁场的屏蔽效果远远不如对电场的屏蔽效果，但有时也会有用。低频时，采用高导磁合金等高导磁率材料的磁屏蔽体可以在一定程度上衰减磁场。高频时，只要屏蔽体的厚度大于所用导线的集肤深度(在所涉频率条件下)，简单的导电屏蔽体就非常有效。注意，铜的集肤深度为 $6.6/\sqrt{f} \text{ cm}$ ，其中 f 单位为Hz。

无源元件：EMI克星

只要使用得当，电阻、电容和电感等无源元件都是降低外部感生干扰的强有力工具。

简单的RC网络可以构成高效、经济的单极、低通滤波器。输入噪声会通过电阻转换成热量而消耗掉。但要注意固定电阻本身会产生热噪声。另外，在运算放大器或仪表放大器的输入电路中使用时，此类电阻会产生由输入偏置电流感生的失调电压。虽然使两个电阻相匹配可以将直流失调降至最低，但该噪声将保持不变。图6汇总了一些能够将EMI降至最低的常用低通滤波器。

如果应用中信号和回路导线没有实现良好地磁耦合，那么可以使用共模(CM)扼流圈来增加两者之间的互感。注意，这些注释主要适用于仪表放大器，后者接收平衡输入信号(除非构建仪表放大器，否则运算放大器本来要求用非平衡输入信号)。CM扼流圈非常容易构建，只需将差分信号导线在高导磁率(> 2000)氧化铁磁珠上绕几圈即可。磁珠的磁性允许差模电流顺畅通过，但却会抑制CM电流。

LP Filter Type	ADVANTAGE	DISADVANTAGE
RC Section	Simple Inexpensive	Resistor Thermal Noise $I_B \times R$ Drop \rightarrow Offset Single-Pole Cutoff
LC Section (Bifilar)	Very Low Noise at LF Very Low IR Drop Inexpensive Two-Pole Cutoff	Medium Complexity Nonlinear Core Effects Possible
π Section (C-L-C)	Very Low Noise at LF Very Low IR Drop Pre-packaged Filters Multiple-Pole Cutoff	Most Complex Nonlinear Core Effects Possible Expensive

图6：在滤波器内使用无源元件来抑制EMI

此外，还可以在扼流圈的前后连接电容，分别提供额外的CM滤波和差模滤波。这种CM扼流圈价格便宜，而且由于线路的直流电阻很低，因此热噪声和由偏置电流感生的失调极低。不过，核芯周围有磁场。为了防止与其它电路发生耦合，核芯可能需要用金属屏蔽体包围起来。同时注意，应避免核芯中出现高电平电流，因为这样可能会使氧化铁饱和。

第三种无源滤波方法是采用封装的 π 网络(C-L-C)。这类封装滤波器完全独立，在输入端和输出端都连接有穿心式电容，并集成一个屏蔽体以防止电感的磁场辐射噪声。这类网络价格较贵，可提供较高的衰减水平并可在宽频率范围内工作，但选择滤波器时必须确保磁珠所涉及的工作电流电平不会出现饱和。

降低系统的EMI敏感度

本文前面通过一些通用示例和技术概述了可用于降低或消除EMI/RFI的步骤。图7给出了一些基于系统考量的可能措施。

如需了解其它抗EMI的滤波技术示例，请参见“[教程MT-070](#)”

下文将进一步细述屏蔽原理。

- ◆ **Always Assume That Interference Exists!**
- ◆ **Use Conducting Enclosures Against Electric and HF Magnetic Fields**
- ◆ **Use mu-Metal Enclosures Against LF Magnetic Fields**
- ◆ **Implement Cable Shields Effectively**
- ◆ **Use Feedthrough Capacitors and Packaged PI Filters**

图7：降低系统EMI/RFI敏感度

屏蔽概念回顾

接下来讨论屏蔽效果概念这些背景知识。有兴趣的读者可以查看教程结尾的参考文献4-9来了解更多详情。

要有效地运用屏蔽概念，需要了解干扰源、干扰源周围的环境以及干扰源与观察点(接收器)之间的距离。如果电路在干扰源附近工作(即近场或感应场)，那么场特性取决于干扰源。如果电路位于远处(即远场或辐射场)，那么场特性取决于传输介质。

如果电路与干扰源之间的距离小于干扰波长(λ)除以 2π (即 $\lambda/2\pi$)，则电路在近场内工作。如果电路与干扰源之间的距离大于该数值，那么电路在远场内工作。例如，对于由1 ns脉冲边沿导致的干扰，其带宽上限大约为350 MHz。350 MHz信号的波长约为32英寸(光速约为12"/ns)。将该波长除以 2π 即可得到距离大约为5英寸，这就是近场和远场之间的界限。如果电路位于350 MHz干扰源的5英寸范围之内，那么该电路在干扰源近场内工作。如果距离大于5英寸，那么该电路在干扰源远场内工作。

无论是何种干扰类型，都具有相关的特征阻抗。该特征(即场的波阻抗)由其电场(以E表示)与其磁场(以H表示)的比值决定。在远场中，电场与磁场的比值为自由空间的特征(波阻抗)，即 $Z_0 = 377 \Omega$ 。在近场中，波阻抗由干扰性质以及与干扰源的距离决定。如果干扰源具有高电流和低电压(如环路天线或电源线路变压器)，那么主要是磁场，波阻抗小于 377Ω 。如果干扰源具有低电流和高电压(如拉杆天线或高速数字开关电路)，那么主要是电场，波阻抗大于 377Ω 。

可以使用导电外壳来屏蔽敏感电路，以免其受到这些外部场影响。这类材料可以形成与入射干扰的“阻抗不匹配”，原因是屏蔽体的阻抗小于入射场的波阻抗。导电屏蔽体的有效性取决于以下两项：首先是因屏蔽材料反射入射波而造成的损耗。其次是因屏蔽材料吸收透射波而造成的损耗。反射损耗量取决于干扰类型及其波阻抗。但是，吸收损耗量则与干扰类型无关。无论是对于近场辐射与远场辐射，还是对于电场与磁场，该损耗量都相同。

两种介质间表面的反射损耗取决于两种介质的特征阻抗差异。对于电场，反射损耗取决于干扰频率和屏蔽材料。该损耗可以用dB表示，计算公式如下：

$$R_e(\text{dB}) = 322 + 10\log_{10} \left[\frac{\sigma_r}{\mu_r f^3 r^2} \right] \quad \text{公式 2}$$

其中， σ_r 是屏蔽材料的相对导电率，单位为西门子每米； μ_r 是屏蔽材料的相对导磁率，单位为亨利每米； f 是干扰频率，而 r 是与干扰源的距离，单位为米。

对于磁场，该损耗也取决于屏蔽材料和干扰频率。对于磁场，反射损耗的计算公式如下：

$$R_m(\text{dB}) = 14.6 + 10\log_{10} \left[\frac{fr^2 \sigma_r}{\mu_r} \right] \quad \text{公式 3}$$

而对于平面波($r > \lambda/2\pi$)，则反射损耗的计算公式如下：

$$R_{pw}(\text{dB}) = 168 + 10\log_{10} \left[\frac{\sigma_r}{\mu_r f} \right] \quad \text{公式 4}$$

“吸收”是屏蔽材料的第二种损耗机制。因吸收而造成的波衰减计算公式如下：

$$A(\text{dB}) = 3.34t\sqrt{\sigma_r \mu_r f} \quad \text{公式 5}$$

其中， t 是屏蔽材料的厚度，单位为英寸。该表达式适用于平面波、电场和磁场。由于透射场的强度相对于屏蔽材料的厚度呈指数减少，因此当屏蔽体的厚度为一个集肤深度(δ)时，则吸收损耗为9 dB。吸收损耗与厚度成正比，但却与集肤深度成反比，因此通过增加屏蔽材料厚度可以改善高频条件下的屏蔽效果。

在远场中，由于屏蔽体阻抗 Z_s 随频率升高而增加，因此平面波的反射损耗随频率升高而减少。然而，因为集肤深度减少，所以吸收损耗会随频率升高而增加。对于电场和平面波，主要屏蔽机制为反射损耗，而在高频条件下，屏蔽机制为吸收损耗。

因此，对于高频干扰信号，铜或铝等轻便、易加工的高导电性材料可以提供足够的屏蔽效果。不过，在低频条件下，磁场的反射损耗和吸收损耗都很低。因此，很难通过屏蔽体来保护电路不受低频磁场的影响。在这类应用中，采用具有低磁阻的高导磁率材料效果最佳。这类低磁阻材料提供漏磁路径，可使磁场偏离受保护的电路。例如钢和高导磁合金就是高导磁率材料。

总而言之，常用于屏蔽的金属材料具有以下特性：对于高频干扰，采用高导电性金属，而对于低频干扰，则采用高导磁性金属。

具有适当屏蔽效果的外壳可以非常有效地防止外部干扰影响其内部器件，并可以抑制任何内部产生的干扰。不过，在实际应用中，屏蔽体上通常需要有开口，以便配置调整旋钮、开关或连接器或者提供通风。不幸的是，这些开口让高频干扰得以借机进入仪器内部，因此可能影响屏蔽效果。

评估外部场进入外壳的能力时，请使用开口的最长尺寸(而非总面积)，因为开口就好比槽形天线。公式6可用于计算外壳上开口的屏蔽效果(即EMI泄漏或渗透敏感度)：

$$\text{Shielding Effectiveness (dB)} = 20 \log_{10} \left(\frac{\lambda}{2 \cdot L} \right) \quad \text{公式 6}$$

其中， λ 是干扰波长，而 L 是开口的最大尺寸。

当开口的最大尺寸等于干扰频率的半波长时，穿过开口的EMI辐射达到最大(即屏蔽效果为0 dB)。根据经验应确保最长尺寸小于干扰信号的1/20波长，这时屏蔽效果为20 dB。另外，在外壳每侧分别开一些小口要优于在一侧开很多口。这是因为不同侧面上的开口会向不同方向辐射能量，这样屏蔽效果反而不会受影响。如果不得不出开口和缝隙，那么应当合理地单独或混合使用导电垫片、网屏和涂料，将任意开口的最长尺寸限制在1/20波长以内。穿过外壳的所有电缆、走线、连接器、指示器或控制轴都应该用环绕金属屏蔽体包裹，并且该屏蔽体应该在入口点处连接到外壳上。在那些使用无屏蔽电缆/走线的应用中，建议在屏蔽体入口点处连接滤波器。

关于电缆和屏蔽体的基本要点

虽然其他地方已经详细说明，但此处还值得一提的是，电缆及其屏蔽体使用不当可能成为辐射干扰和传导干扰的重要来源。这里就不再对这些问题做长篇大论，有兴趣的读者可以查看参考文献2、3、5和6来了解背景知识。

如图8所示，适当的电缆/外壳屏蔽可以将敏感电路和信号“完全限制在屏蔽体内”，屏蔽效果丝毫不受影响。

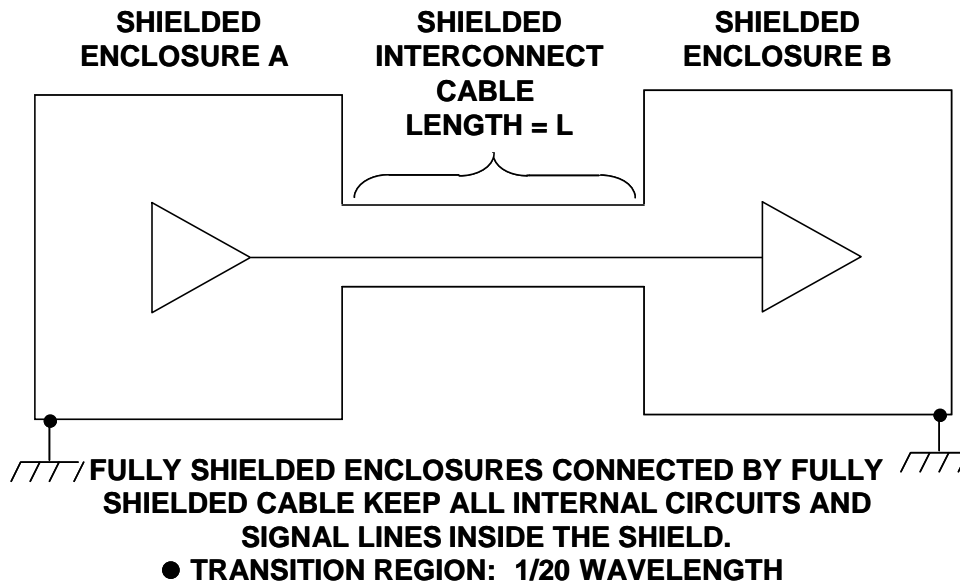


图8：屏蔽互连电缆可以是长线或短线，具体取决于工作频率

如图中所示，外壳和屏蔽体必须适当接地，否则会起到天线作用，进而导致辐射干扰和传导干扰变得更糟(而不是变好)。

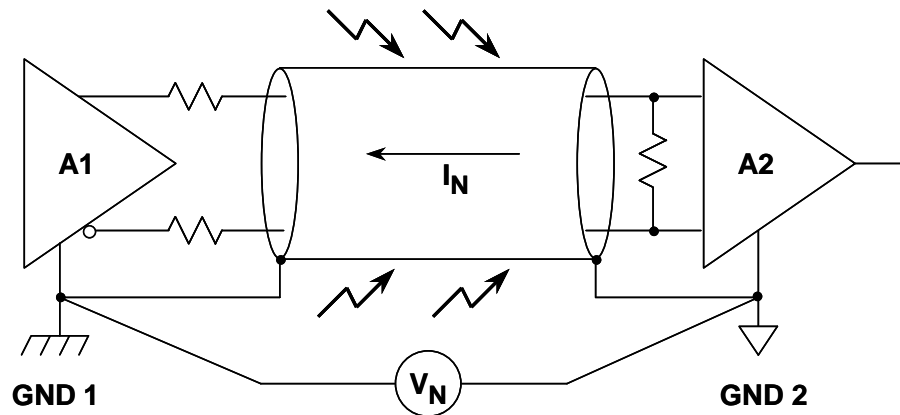
视干扰类型(拾取/辐射、低频/高频)，需以不同的方式来实现适当的电缆屏蔽，并且与电缆长度密切相关。第一步是确定电缆长度在相关频率下属于“长线”还是“短线”。如果电缆长度小于最高干扰频率的1/20波长，那么视为短线。否则，则视为长线。

例如，50/60 Hz时，长度小于150英里的所有电缆都属于短线，而这些低频电场的主要耦合机制为容性耦合。因此，对于长度小于150英里的所有电缆，整条电缆上的干扰幅度都相同。

如果应用中电缆长度属于长线或需要针对高频干扰提供保护，那么首选方法是将电缆屏蔽体“两端”都连接到低阻抗点。正如下文所述，可以是直接链接(驱动端)或容性连接(接收器端)。如果未接地，末端接的传输线路效应可能导致电缆出现反射和驻波。当频率为10 MHz及以上时，屏蔽体环焊(360°)和金属连接器需要与地之间具有低阻抗连接。

总而言之，要针对低频(<1 MHz)电场干扰提供保护，可以在一端将屏蔽体接地。对于高频干扰(>1 MHz)，首选方法是将屏蔽体两端都接地，即在屏蔽体和连接器之间使用360°环焊，而连接器和外壳之间保持金属间导通。

不过，在实际操作中，屏蔽体两端都直接接地时有一点需要注意，就是这样做会构成低频接地环路，如图9所示。



- ◆ V_N Causes Current in Shield (Usually 50/60Hz)
- ◆ Differential Error Voltage is Produced at Input of A2 Unless:
 - A1 Output is Perfectly Balanced and
 - A2 Input is Perfectly Balanced and
 - Cable is Perfectly Balanced

图9：屏蔽双绞线中的接地环路可能导致误差

只要两个系统A1和A2相距较远，各系统的地电位(即 V_N)通常都存在差异。此电位差的频率通常为线路频率(50或60 Hz)及其倍数。但是，如果屏蔽体按照图中所示两端都直接接地，那么屏蔽体中会出现噪声电流 I_N 。在完美平衡的系统中，系统的共模抑制能力无穷大，因此这一电流不会在接收器A2处产生任何差分误差。然而，驱动器、其阻抗、电缆和接收器中永远不可能实现完美平衡，因此会有一部分屏蔽电流以差分噪声信号形式出现在A2的输入端。下面针对各示例说明屏蔽体正确接地方式。

如上所述，电缆屏蔽体会受低频和高频干扰影响。良好的设计要求：如果电缆相对于干扰频率为长线(射频干扰通常就是如此)，则屏蔽体两端都应接地。

图10所示为远程无源RTD传感器通过屏蔽电缆连接到电桥和调理电路。正确的接地方式如图中上部所示，其中屏蔽体在接收端接地。

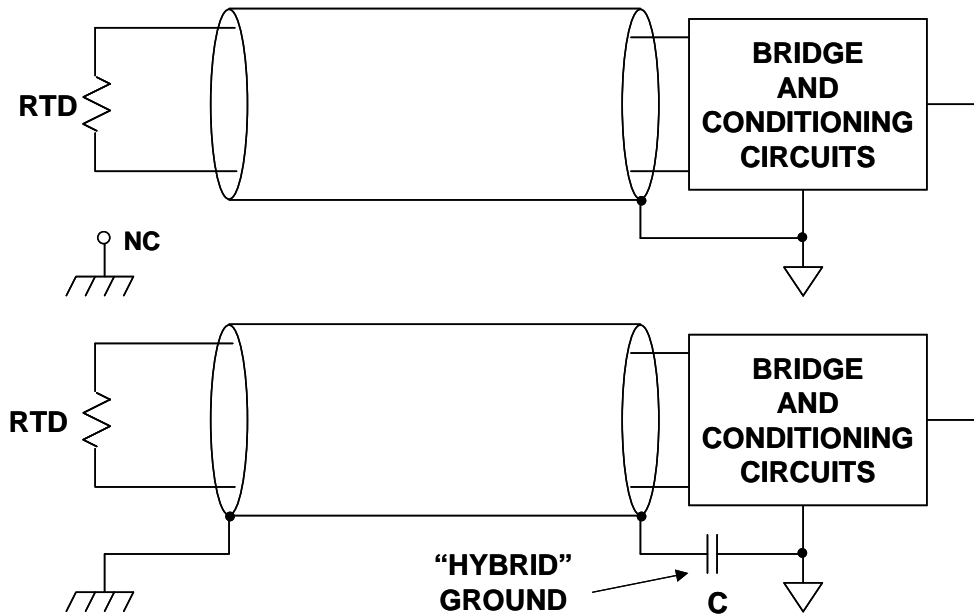


图10：屏蔽电缆(带无源传感器)的混合接地

不过，出于安全考虑，该屏蔽体的远端可能也要接地。这种情况下，可以利用低电感陶瓷电容($0.01 \mu\text{F}$ 至 $0.1 \mu\text{F}$)在接收端接地，这样仍可提供高频接地。该电容可用作屏蔽体上射频信号的地，但却会阻止低频线路电流在屏蔽体中流动。这种技术通常称为“混合接地”。

图11所示为使用有源远程传感器和/或其它电子器件的情况。这两种情况下，无论是平衡驱动器(上部)还是单端驱动器(下部)，混合接地都同样适合。两种情况下，电容“C”会断开低频接地环路，同时为图中右侧A2接收端的屏蔽电缆提供有效的射频接地。

此外，对于所使用的源端接电阻 R_s ，还有一些细微之处应当注意。在平衡驱动和单端驱动情形下，平衡线路上的驱动信号均由净阻抗 R_s 产生，而后者又作为两个 $R_s/2$ 分散在两个双绞引脚上。在图中上部的全差分驱动情形下，这点比较直观，一个取值为 $R_s/2$ 的电阻与A1的互补输出串联。

在图中下部的单端驱动情形下，注意仍然使用了两个 $R_s/2$ 电阻，其中一个电阻与两个引脚串联。此处，接地哑回路引脚电阻可以为差分线路提供阻抗平衡的接地连接驱动，从而帮助提高系统整体抗扰度。注意，这种实施方案仅适用于A2处具有平衡接收器的那些应用，如图所示。

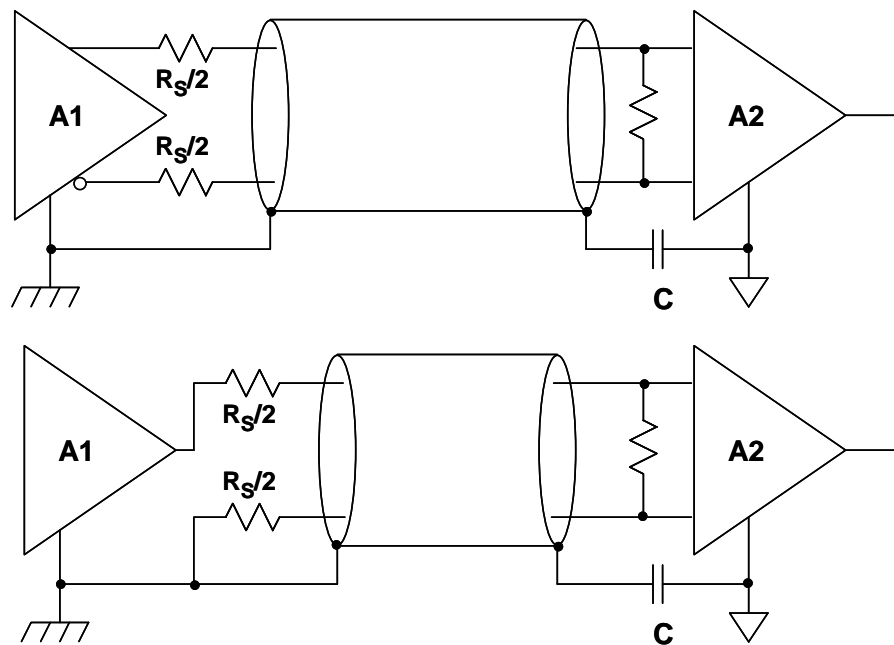


图11：平衡屏蔽电缆的阻抗平衡驱动可帮助提高平衡信号源或单端信号源的抗扰度

同轴电缆与屏蔽双绞线的不同之处在于，信号电流回路要穿过屏蔽体。因此，理想的状况是在驱动端将屏蔽体接地，而在差分接收器(A2)端则允许屏蔽体悬空，如图12的上部所示。不过，为使这种技术有效，接收器必须是差分类型且必须具有良好的高频CM抑制能力。

然而，接收器可能是单端类型，如标准单运放型电路中的典型元件。图12中的下部示例就是如此，因此这种情况下就必须将同轴电缆屏蔽体两端都接地。

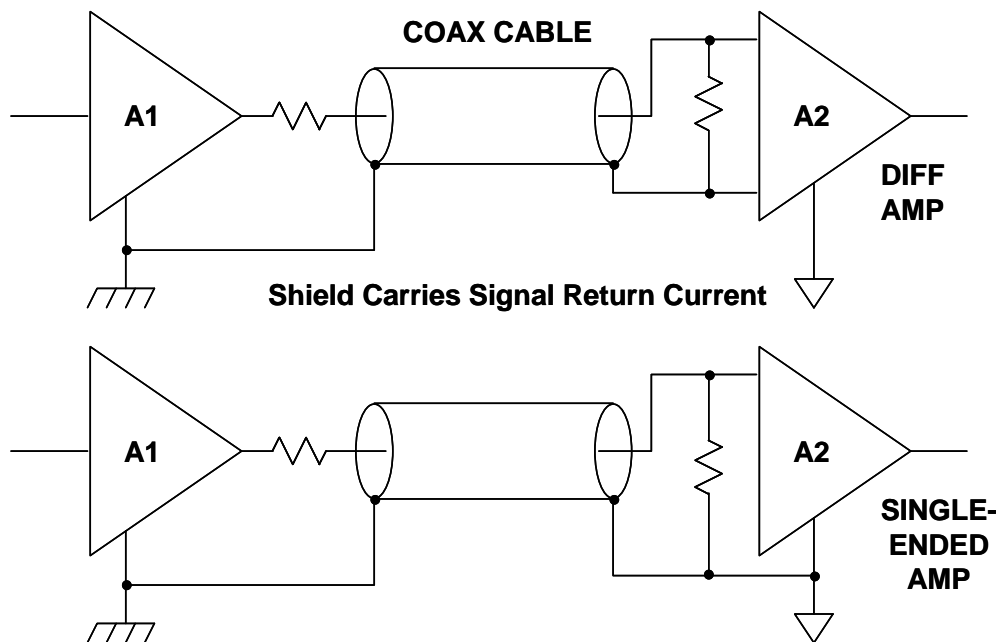


图12：同轴电缆可以使用平衡接收器或单端接收器

参考文献：

1. Tim Williams, *EMC for Product Designers*, 2nd Ed., Newnes, Oxford, 1996, ISBN: 0 7506 2466 3.
2. Henry Ott, *Noise Reduction Techniques In Electronic Systems*, 2nd Ed., John Wiley & Sons, New York, 1988, ISBN 0-471-85068-3.
3. Mark Montrose, *EMC and the Printed Circuit Board*, IEEE Press, 1999, ISBN 0-7803-4703-X.
4. Ralph Morrison, *Grounding And Shielding Techniques in Instrumentation*, 3rd Ed., John Wiley & Sons, New York, 1986, ISBN 0-471-83805-5.
5. Daryl Gerke and William Kimmel, "Designer's Guide to Electromagnetic Compatibility," *EDN*, January 20, 1994.
6. *Designing for EMC* (Workshop Notes), Kimmel Gerke Associates, Ltd., 1994.
7. Daryl Gerke and William Kimmel, "EMI and Circuit Components," *EDN*, September 1, 2000.
8. Alan Rich, "Understanding Interference-Type Noise," *Analog Dialogue*, Vol. 16, No. 3, 1982, pp. 16-19 (also available as [application note AN-346](#)).
9. Alan Rich, "Shielding and Guarding," *Analog Dialogue*, Vol. 17, No. 1, 1983, pp. 8-13 (also available as [application note AN-347](#)).

10. James Wong, Joe Buxton, Adolfo Garcia, James Bryant, "Filtering and Protection Against EMI/RFI" and "Input Stage RFI Rectification Sensitivity", Chapter 1, pg. 21-55 of *Systems Application Guide*, 1993, Analog Devices, Inc., Norwood, MA, ISBN 0-916550-13-3.
11. Adolfo Garcia, "EMI/RFI Considerations", [Chapter 7, pg 42-80 of *High Speed Design Techniques*](#), 1996, Analog Devices, Inc., Norwood, MA, 1993, ISBN 0-916550-17-6.
12. Walt Kester, Walt Jung, Chuck Kitchen, "Preventing RFI Rectification", Chapter 10, pg 10.39-10.43 of [Practical Design Techniques for Sensor Signal Conditioning](#), Analog Devices, Inc., Norwood, MA, 1999, ISBN 0-916550-20-6.
13. Charles Kitchin and Lew Counts, [A Designer's Guide to Instrumentation Amplifiers, 3rd Edition](#), Analog Devices, 2006.
14. *B4001 and B4003 common-mode chokes*, Pulse Engineering, Inc., 12220 World Trade Drive, San Diego, CA, 92128, 619-674-8100, <http://www.pulseeng.com>
15. *Understanding Common Mode Noise*, Pulse Engineering, Inc., 12220 World Trade Drive, San Diego, CA, 92128, 619-674-8100, <http://www.pulseeng.com>
16. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 11
17. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 9. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 9.
18. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Chapter 7. Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 7.

一些与EMC和信号完整性相关的实用链接:

1. Kimmel Gerke Associates website, <http://www.emiguru.com>
2. Henry Ott website, <http://www.hottconsultants.com>
3. IEEE EMC website, <http://www.ewh.ieee.org/soc/emcs>
4. Mark Montrose website, <http://www.montrosecompliance.com/index.html>
5. Tim Williams website, <http://www.elmac.co.uk>
6. Eric Bogatin website, <http://www.bethesignal.com>
7. Howard Johnson website, <http://signalintegrity.com>

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.