

Cyclone  **IV**

GX

开发套件用户指南

EasyGX

中文版本：V1.0

版权声明

版权©2013 归骏龙科技有限公司所有，并保留所有权利。

目录

1	概况	5
1.1	套件内容	6
1.2	功能特性	7
1.3	设计软件	7
2	如何开始.....	8
2.1	软件安装	8
2.1.1	软件介绍	8
2.1.1.1	关于 Quartus 的版本	8
2.1.2	开发主机系统要求	8
2.1.2.1	硬件要求	8
2.1.2.2	接口要求	8
2.1.3	安装	9
2.1.3.1	下载 Quartus II 软件	9
2.1.4	安装 Quartus II	9
2.1.5	获取 license	13
2.2	硬件的安装	13
3	开发套件硬件	14
3.1	概述	14
3.1.1	主板正面	14
3.1.2	主板反面	14
3.2	硬件详述	15
3.2.1	主板系统框图	15
3.2.2	USB Blaster 扩展板框图	15
3.2.3	电源供应框图	16
3.2.4	功能模块介绍	16
3.2.4.1	FPGA 的电源配置	16
3.2.4.2	以太网接口	18
3.2.4.3	ExpressCard 34 (PCIe) 接口	19
3.2.4.4	Micro-SD 卡接口	20
3.2.4.5	内嵌 USB Blaster 功能模块	21
4	实验说明.....	23

4.1	实验 1	23
4.1.1	目标.....	23
4.1.2	步骤.....	23
4.2	实验 2	27
4.2.1	目标.....	27
4.2.2	步骤.....	27
4.3	实验 3	38
4.3.1	目标.....	38
4.3.2	步骤.....	38
5	附录	45

1 概况



感谢您对 EasyGX Cyclone® IV GX 开发套件的关注。这个套件提供了一个基于 ALTERA® Cyclone® IV GX 系列 FPGA 的通用硬件平台，方便用户进行低功耗、高容量、多功能应用的研究和原型设计。

EasyGX Cyclone® IV GX 开发套件，特别适合基于 FPGA 的 PCI Express 和 10/100/1000M 以太网接口相关应用的开发和测试，套件集成了 NIOS II 嵌入式 CPU 和 USB-Blaster 功能，还为快速的原型设计提供了丰富的外部存储器。

1.1 套件内容

EasyGX Cyclone® IV GX 开发套件基础包包括：

- 开发主板
- USB Blaster扩展板（带线缆）
- USB线缆

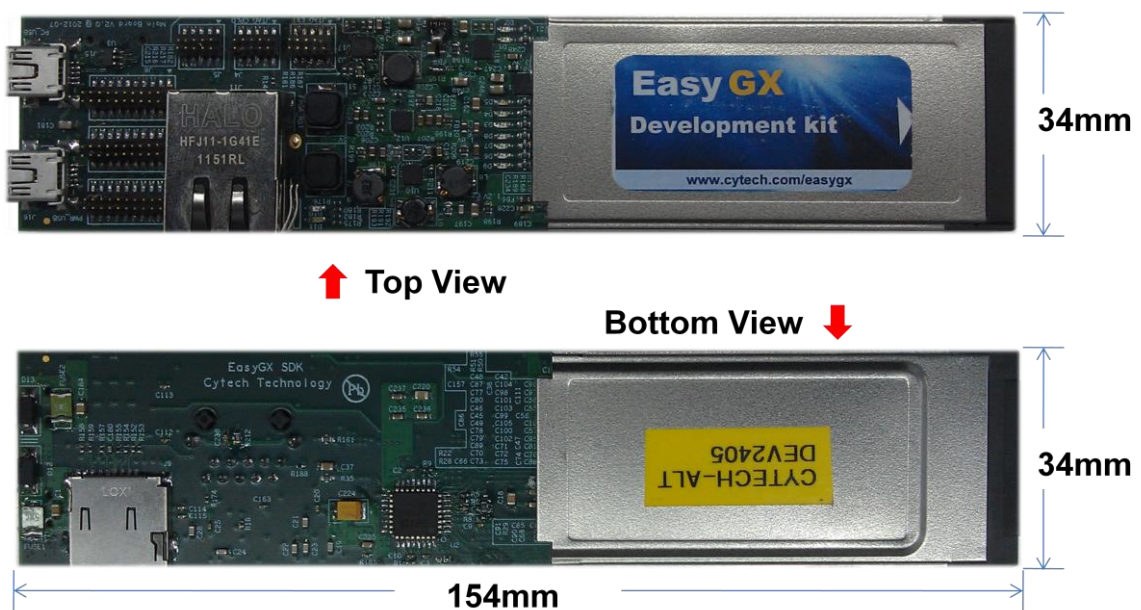
可选配件（在基础包中暂不提供）：

- PCI-e与34mm ExpressCard 2.0 接口转换适配器
- 其它功能子板会在将来陆续推出

以下是开发套件的图片，仅供参考，请以实际交付的物品为准。



开发主板图片：



1.2 功能特性

- 板载 Cyclone® IV GX EP4CGX22F324C8N FPGA, 324 脚 FBGA 封装
 - 21,280 逻辑单元
 - 756kb 内嵌存储器, 84 个 M9K 模块
 - 40 个 DSP 模块 (18x18 bits)
 - PCI Express 硬件 IP 模块
 - 1.2V 内核电压
- 板载 MAX® V 5M80ZE64C5N CPLD, 64 脚 EQFP 封装
 - 2.5V 内核电压
- FPGA 配置电路
 - MAX V CPLD 5M80Z 系统控制器
 - 内嵌 USB-Blaster 功能, 不仅可以用于本开发板, 还可以通过扩展板用于其它线路板
 - 基于 JTAG 的引出接口
 - 板载 EPCS
- 板载高速收发器接口
 - PCI Express v1.0 x1 ExpressCard 接口
 - 10/100/1000BASE-T 以太网 RJ-45 接口
 - 两组高速 SERDES TX/RX 环回
- 板载存储器
 - Micron DDR2 64Mx16 SDRAM: MT47H64M16HR-25E:H
 - Altera 16Mb 串行 flash: EPCS16S18N
- 供电
 - 5VDC USB 接口电源供电
 - 3.3VDC PCIe ExpressCard 接口供电
- 支持 Micro-SD 卡的读写
- 内带 Altera Nios II 嵌入式处理器
- 支持基于 Eclipse 的集成开发环境
- 支持 RTOS-Micrium uC/OS-II

1.3 设计软件

设计类型	软件	
逻辑设计		ModelSim. (Altera版)
嵌入式设计	Nios II	
DSP设计	DSP Builder	

软件下载链接: <http://www.altera.com/products/software/sfw-index.jsp>

2 如何开始

本章节介绍如何安装和配置本开发套件及Altera Quartus II软硬件环境

2.1 软件安装

2.1.1 软件介绍

Quartus II 集成开发环境包涵了 Altera FPGA 和 CPLD 开发需要的所有软件

2.1.1.1 关于 Quartus 的版本

网页版（Web-edition）和预约版（Subscription-edition）可以从 Altera 的官方网站上直接下载。以下的一些演示是基于 Quartus II v12.0 的。

2.1.2 开发主机系统要求

2.1.2.1 硬件要求

- Windows PC 或 Linux 工作站
- 监视器显示分辨率不小于 768*1024
- 足够的硬盘空间

2.1.2.2 接口要求

- 至少一个串口（UART）
- 带 USB 主机，支持 USB2.0 接口
- 10/100M Ethernet 接口

2.1.3 安装

2.1.3.1 下载 Quartus II 软件

可以在[此处](#)获得 Altera 的下载。下载分两种方法：

1) Altera Installer

用 Altera Installer 你可以下载并安装用于 Windows 或者 Linux 的 Altera 软件。你可以按需选择安装项目。

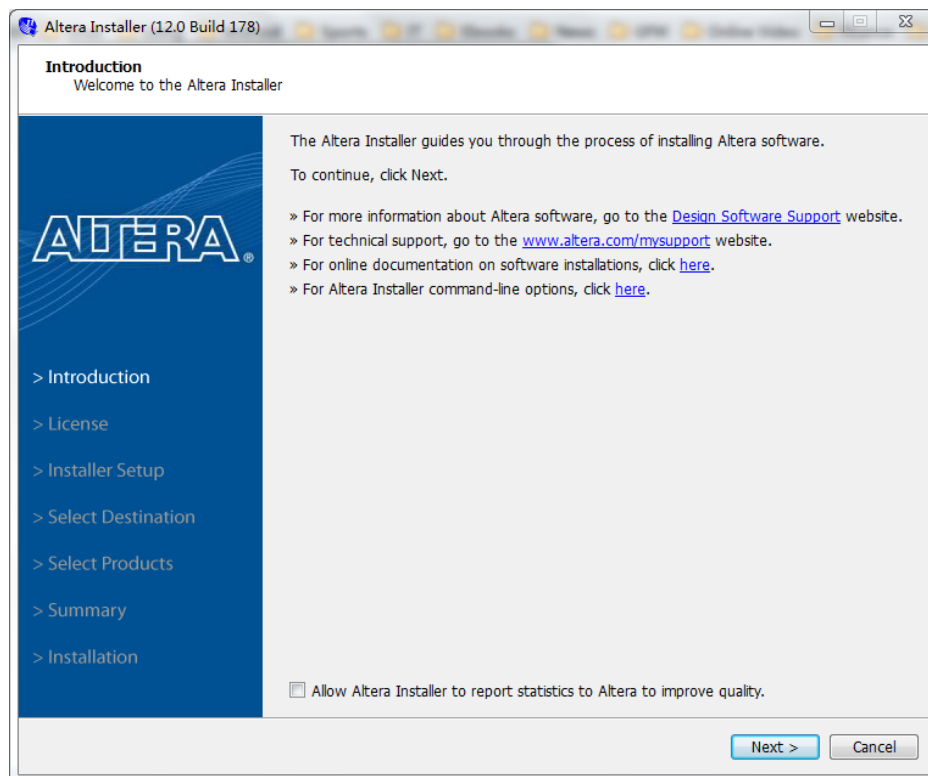
2) 单独软件文件安装

在上面的页面中你也可以看到单独的安装包下载。如果你清楚自己需要安装哪些软件，并且知道需要安装那些依赖项目，你可以选择如此操作

2.1.4 安装 Quartus II

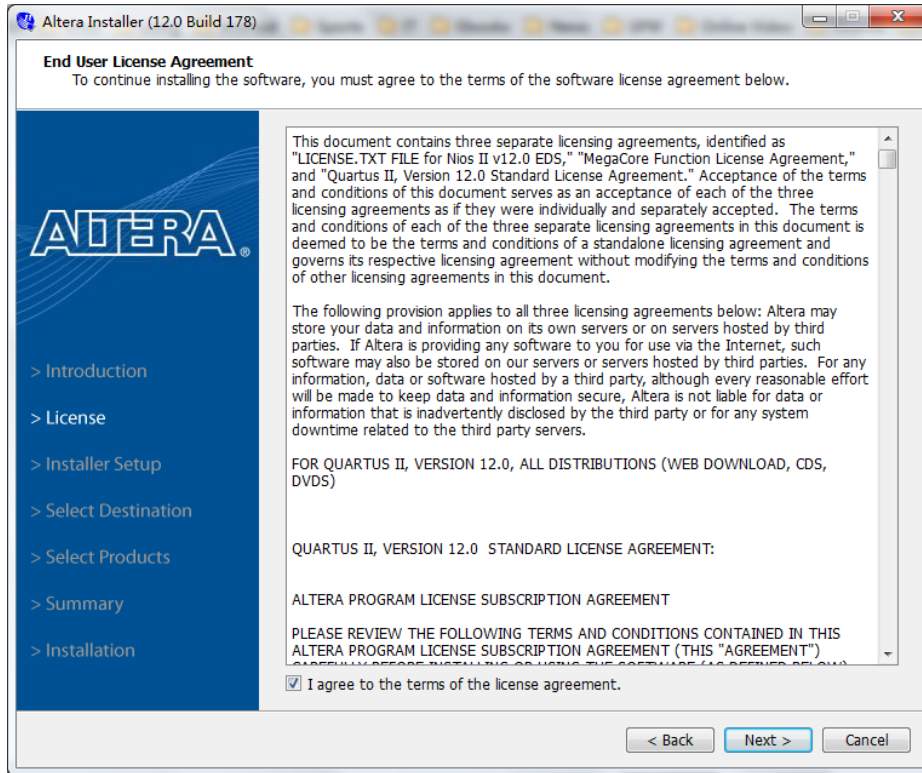
以下的步骤是在选择 Altera Installer 的情况下进行的。

1) 启动在 Altera 处下载的 Altera Installer。

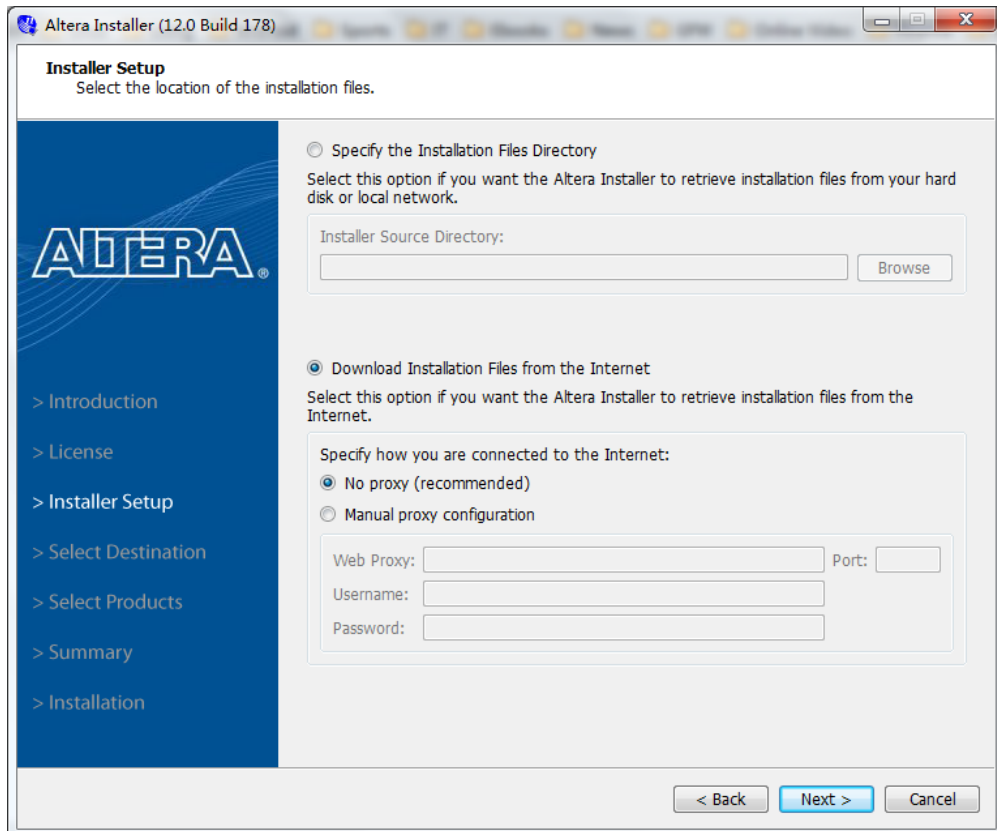


2) Altera Installer 会给予安装指导。

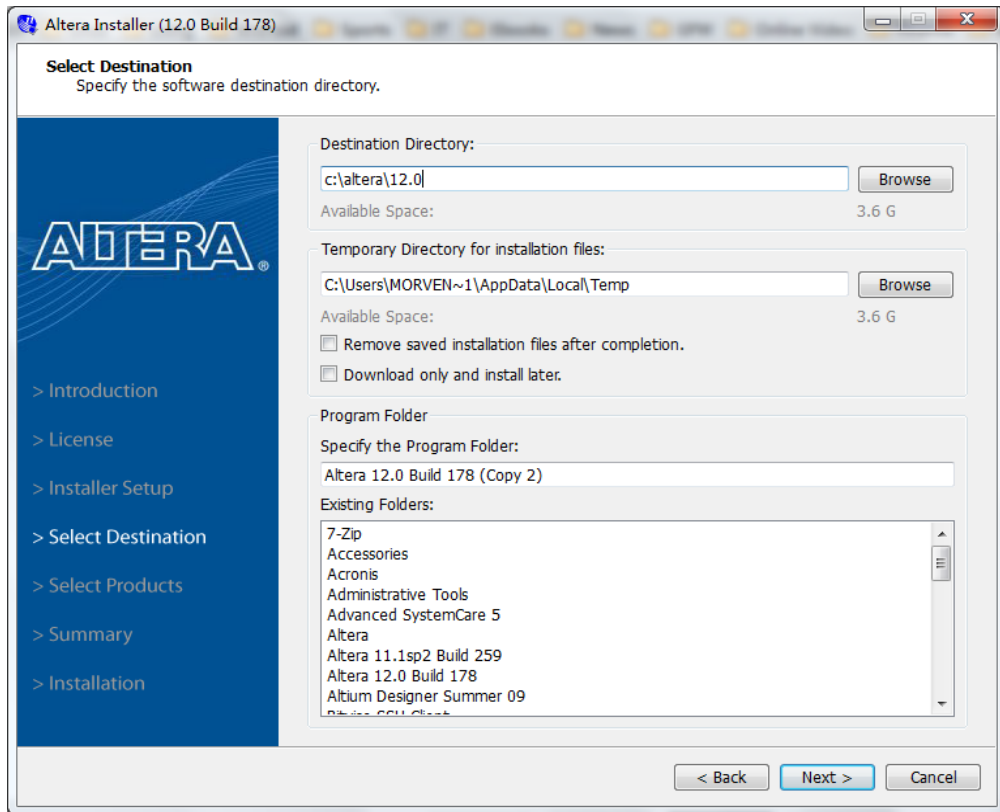
a) 同意并选择 “next”



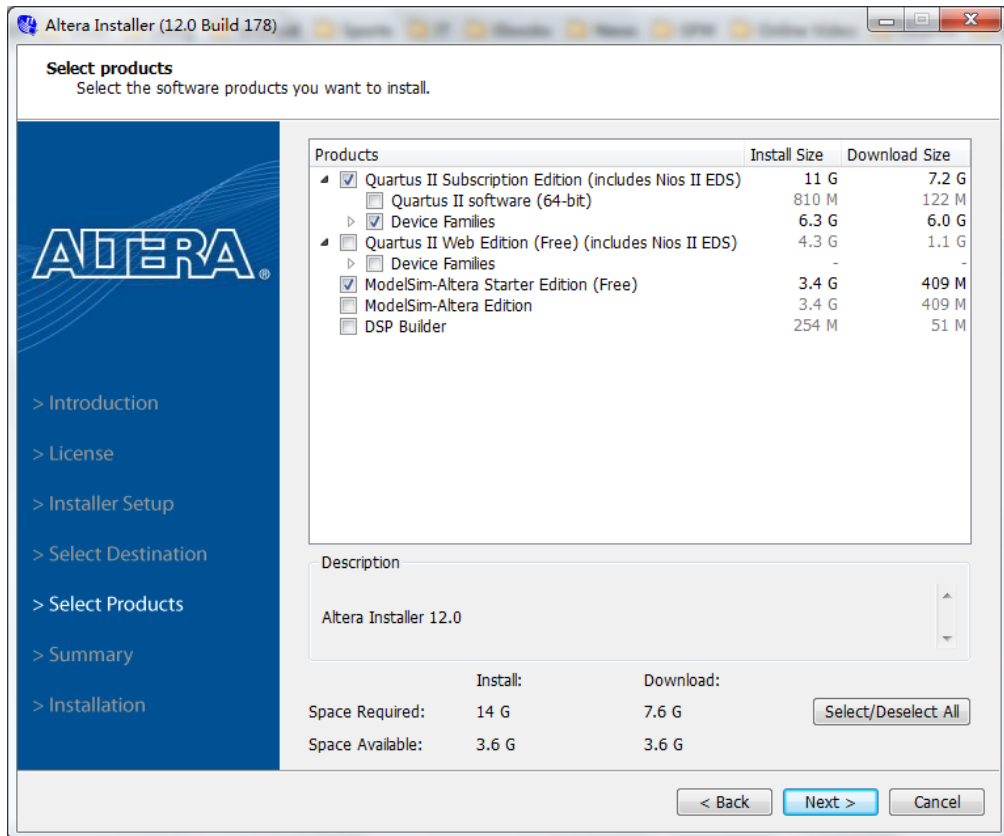
b) 如果没有下载过安装包文件，请选择从网站下载



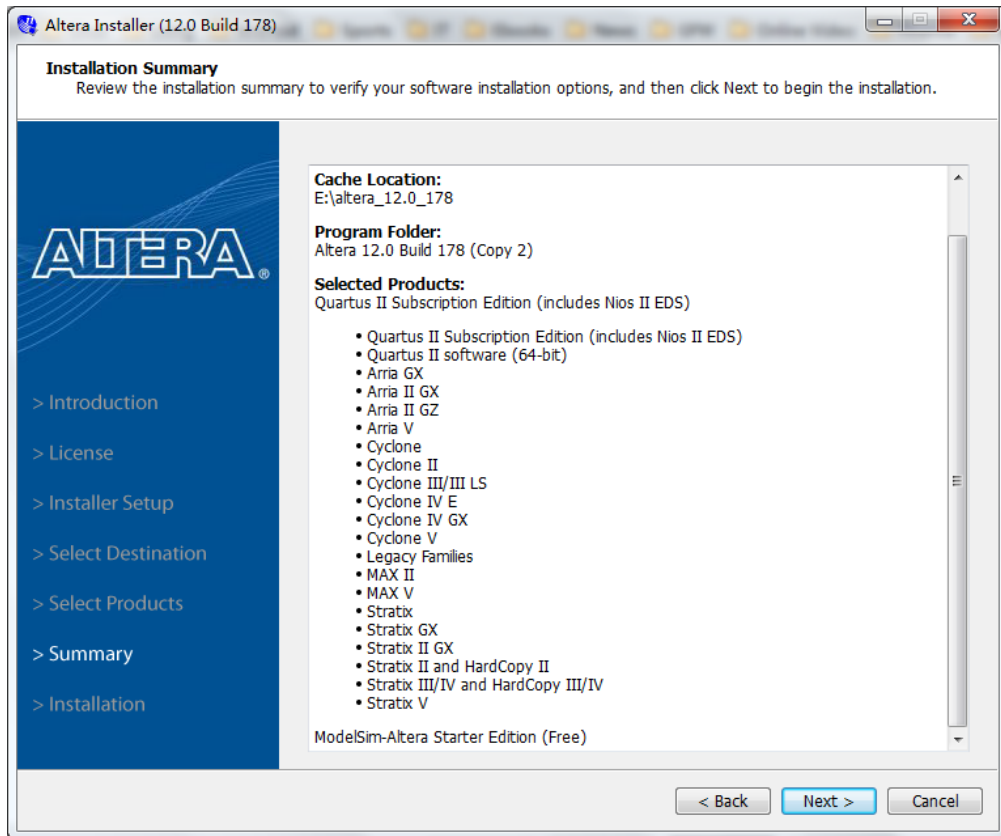
c) 选择安装位置，注意磁盘容量



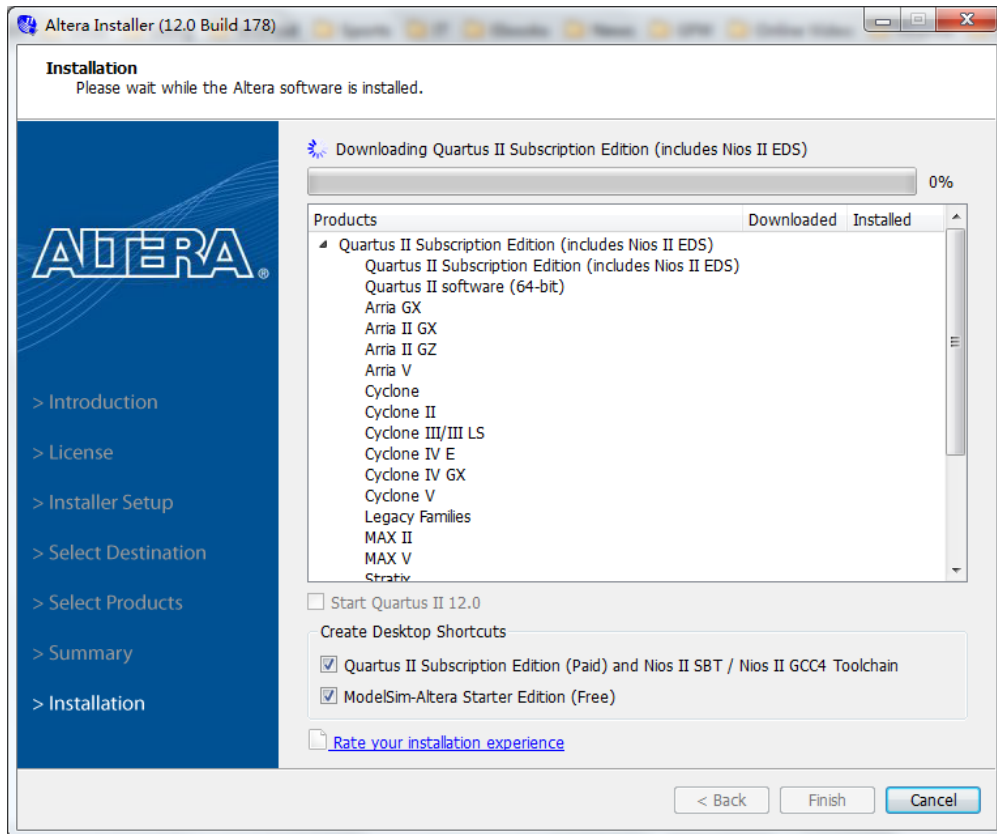
d) 选择要安装的项目和器件



e) 确认需要安装的项目和器件。



f) 下载并安装



2.1.5 获取 license

如果在上一步选择免费的 Web 版则不需要获取 license。如果是 Subscription 版，则需要获取 license。关于如何获取和激活 license，请参见 Altera 的说明。

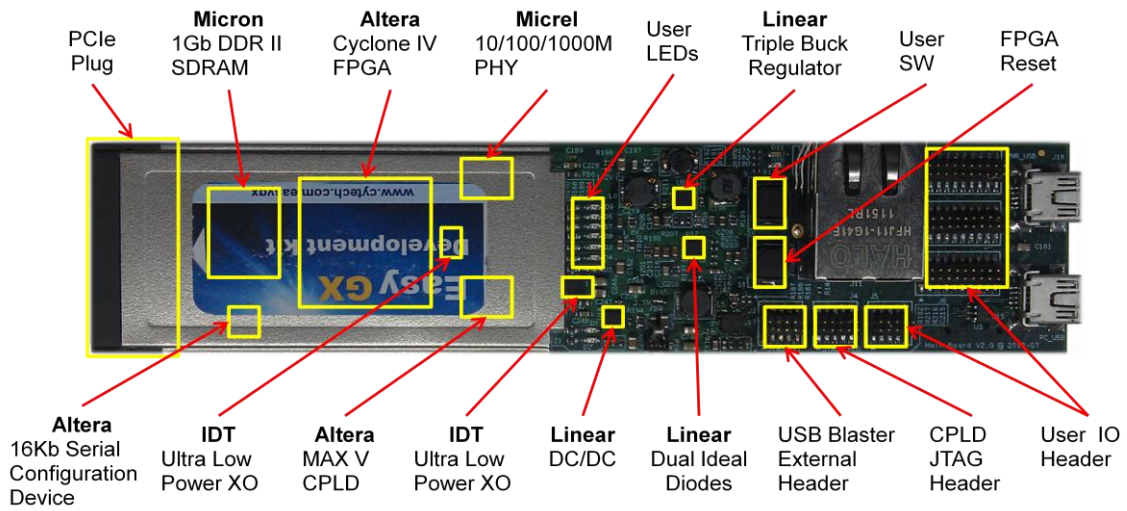
2.2 硬件的安装

没有需要安装的硬件。

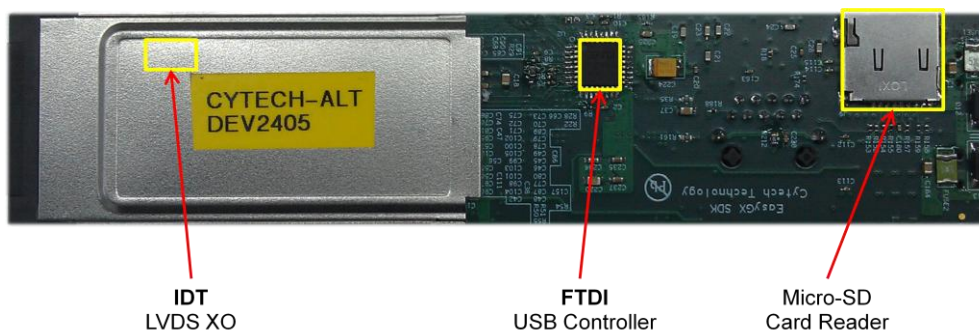
3 开发套件硬件

3.1 概述

3.1.1 主板正面

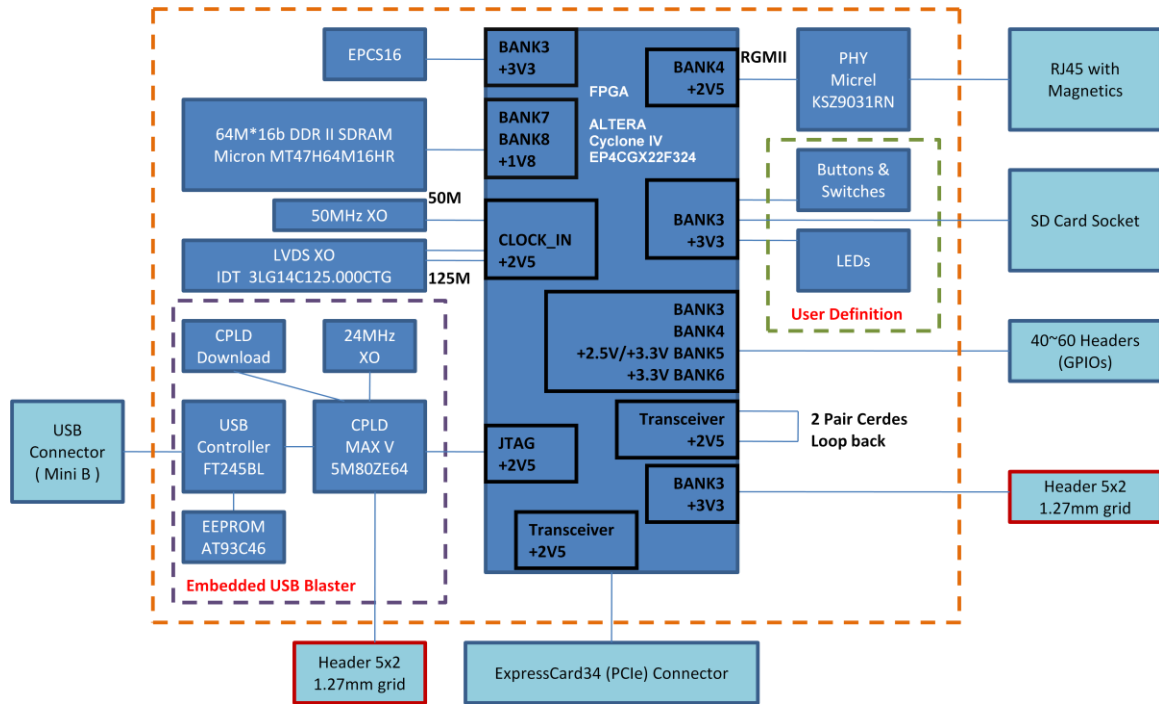


3.1.2 主板反面

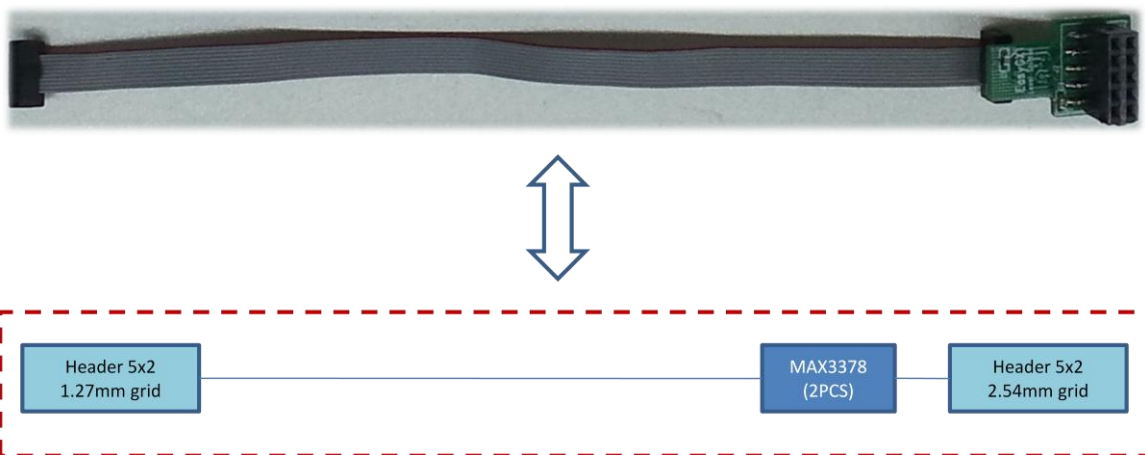


3.2 硬件详述

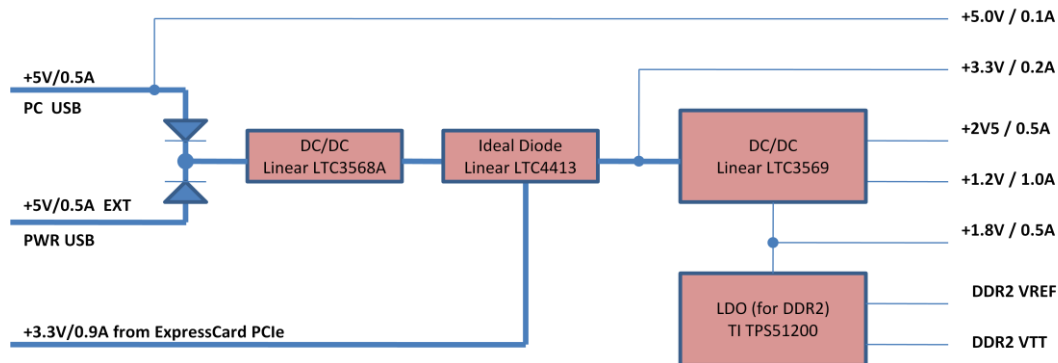
3.2.1 主板系统框图



3.2.2 USB Blaster 扩展板框图



3.2.3 电源供应框图



3.2.4 功能模块介绍

3.2.4.1 FPGA 的电源配置

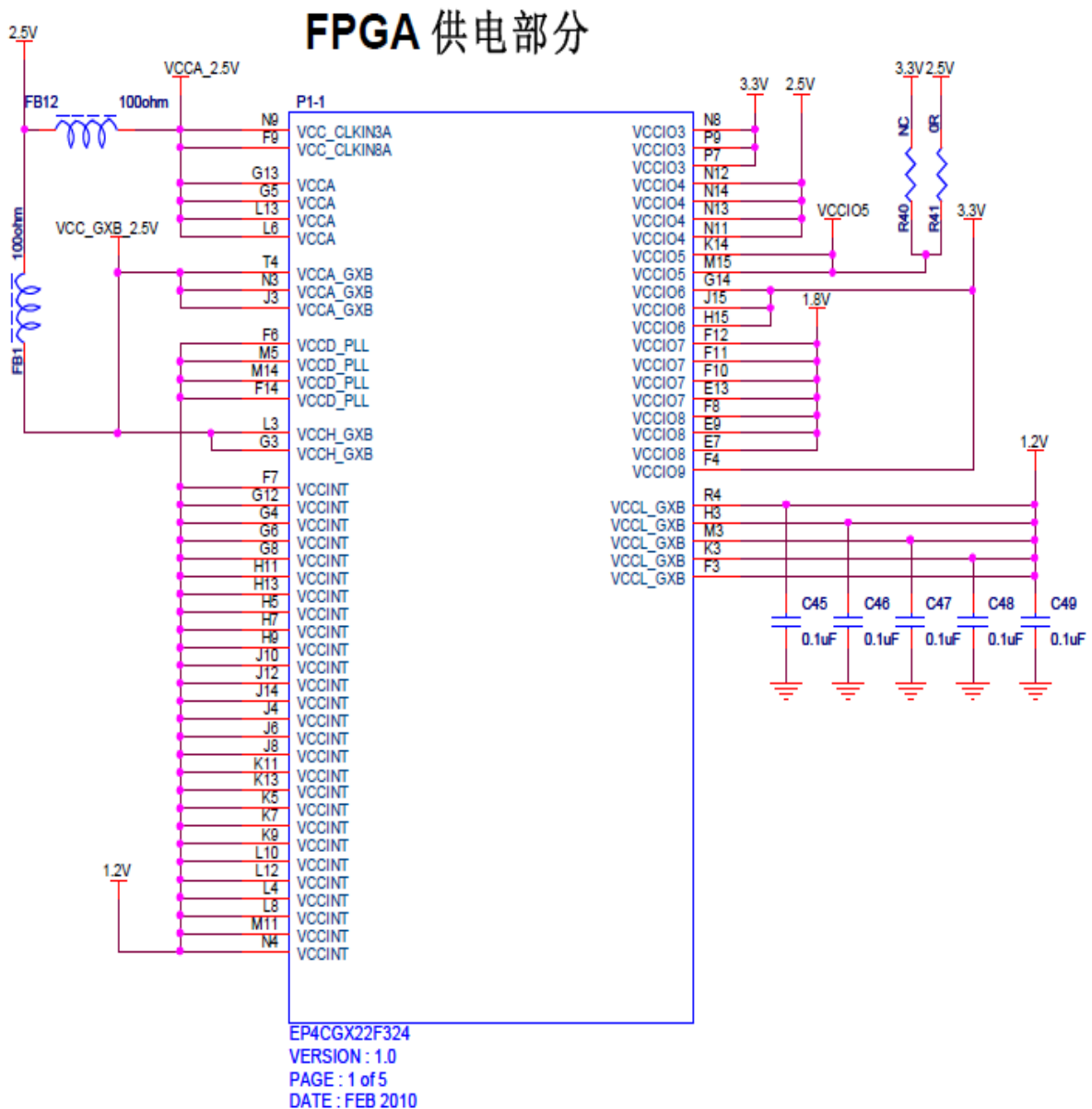
CycloneIV 需要提供以下电源：

电源管脚	名义电压电平 (V)	说明
VCCINT	1.2	内核电压、PCI Express (PCIe) 硬核IP 模块和收发器物理编码子层(PCS) 电源
VCCA	2.5	PLL 模拟电源
VCCD_PLL	1.2	PLL 数字电源
VCCIO	1.2, 1.5, 1.8, 2.5, 3.0, 3.3	I/O 供电电源
VCC_CLKIN	1.2, 1.5, 1.8, 2.5, 3.0, 3.3	差分时钟输入管脚电源
VCCH_GXB	2.5	收发器输出(TX) 缓冲器电源
VCCA_GXB	2.5	收发器物理介质附加子层(PMA) 及辅助电源
VCCL_GXB	1.2	收发器 PMA 及辅助电源

- 1) 即使没有使用锁相环(PLL)，也必须上电 VCCA。
- 2) I/O bank 3、8 和 9 包含配置管脚。您只能将 I/O bank 3 和 9 的 VCCIO 电平上电至 1.5 V、1.8 V、2.5 V、3.0 V 或者 3.3 V。对于快速被动并行(FPP) 配置模式，您必须将 I/O bank 8 的 VCCIO 电平上电至 1.5 V、1.8 V、2.5 V、3.0 V 或者 3.3 V。
- 3) 所有器件封装中的 EP4CGX15、EP4CGX22 和器件封装 F169 和 F324 中的 EP4CGX30 器件均有两个位于 bank 3A 和 8A 上的 VCC_CLKIN 专用时钟输入 I/O。器件封装 F484 中的 EP4CGX30、所有器件封装中的 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件均有四个位于 bank 3A、3B、8A 和 8B 上的 VCC_CLKIN 专用时钟输入 I/O。
- 4) 如果 CLKIN 被用作高速串行接口(HSSI)refclk，那么必须将 VCC_CLKIN 设置成 2.5 V。位于

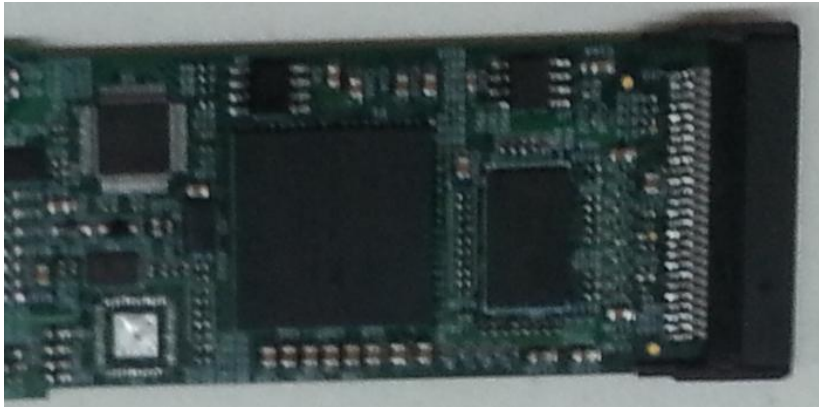
I/O bank 3B 和 8B 上的 VCC_CLKIN 仅支持 2.5 V 电压的电平，用于 LVDS 输入功能，因为它们专用于 HSSI refclk。对于 EP4CGX50、EP4CGX75、EP4CGX110 和 EP4CGX150 器件，单端输入 CLK 支持适用于位于 I/O bank 3B 和 8B 上的专用输入 CLK 管脚。

以 FPGA 供电部分的原理图如下：

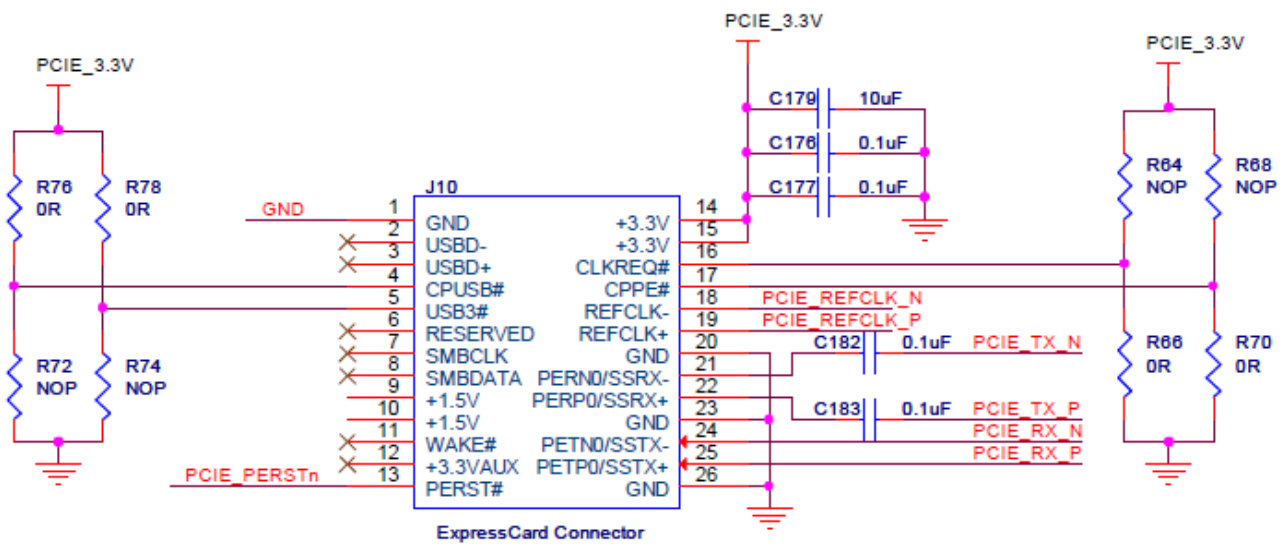


3.2.4.3 ExpressCard 34 (PCIe) 接口

ExpressCard 34 (PCIe) 接口的外形如下:

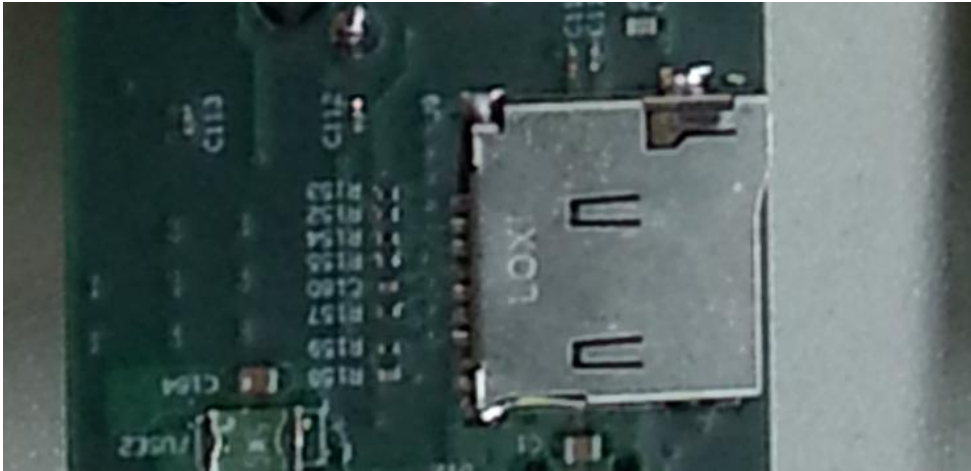


ExpressCard 34 (PCIe) 接口的原理图如下:

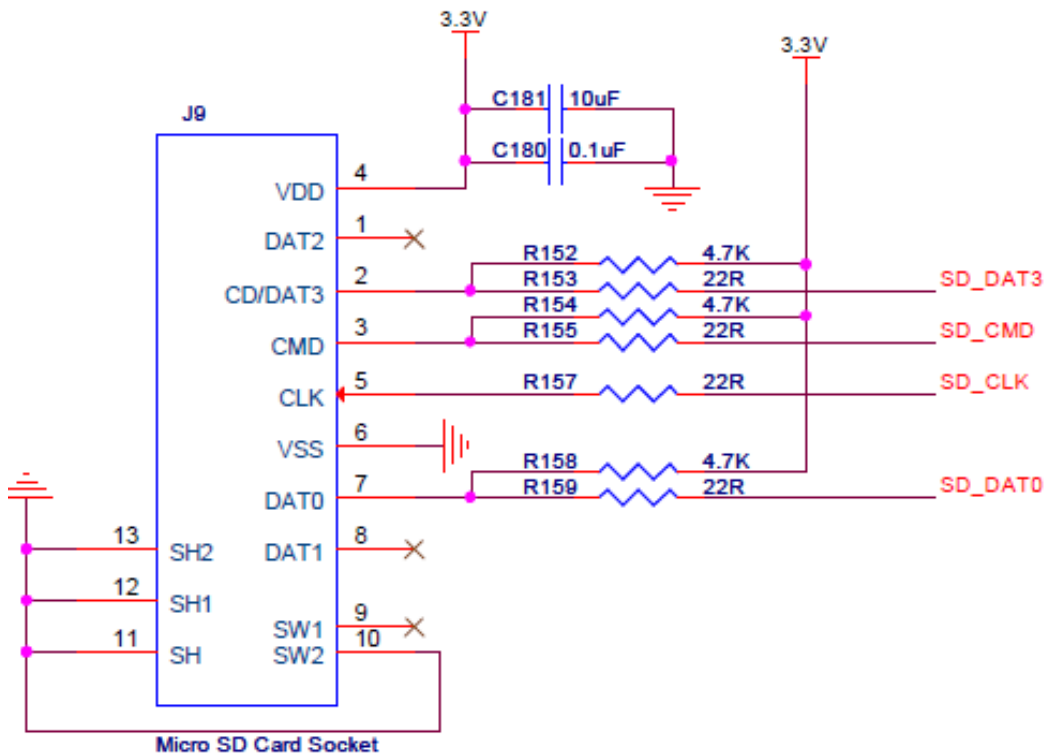


3.2.4.4 Micro-SD 卡接口

Micro-SD 卡接口在开发板背面，如下图：



Micro-SD 卡接口部分的原理图如下：



内嵌 USB Blaster 跳线 J2 的配置:

J2	USB Blaster 模式	Comment
短接	只用于板载 FPGA	
断开	JTAG 可用于其它电路板上的 FPGA/CPLD	需要在 J3 接上扩展板及线缆

4 实验说明

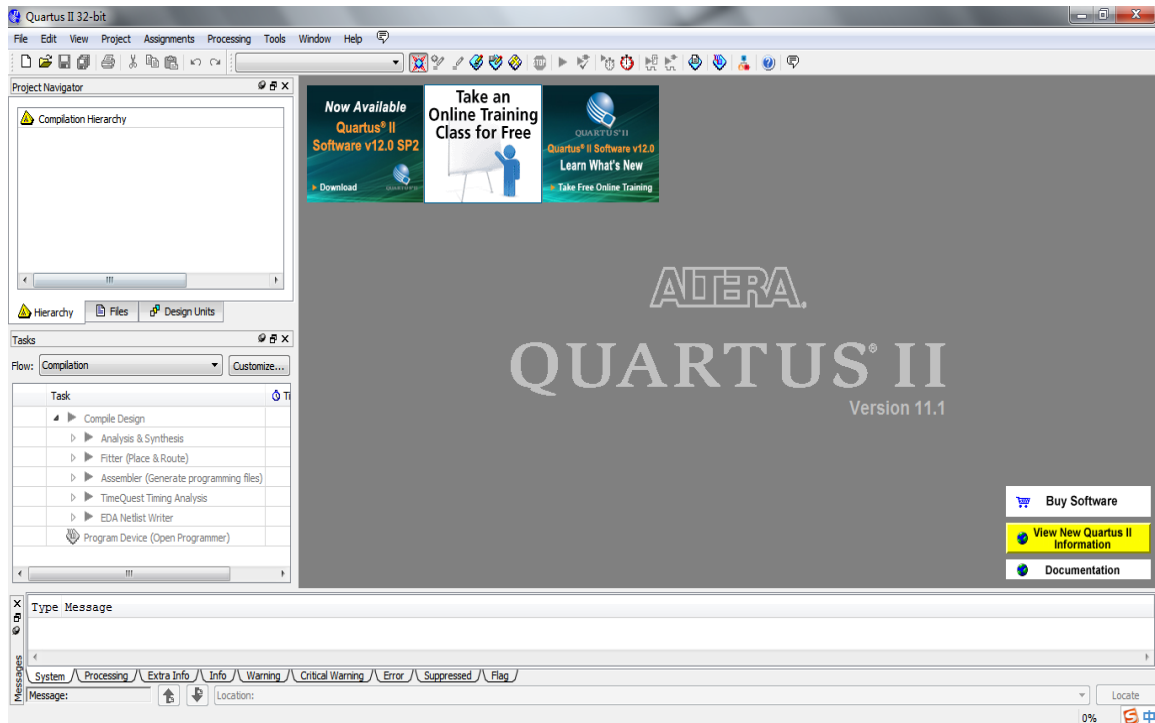
4.1 实验 1

4.1.1 目标

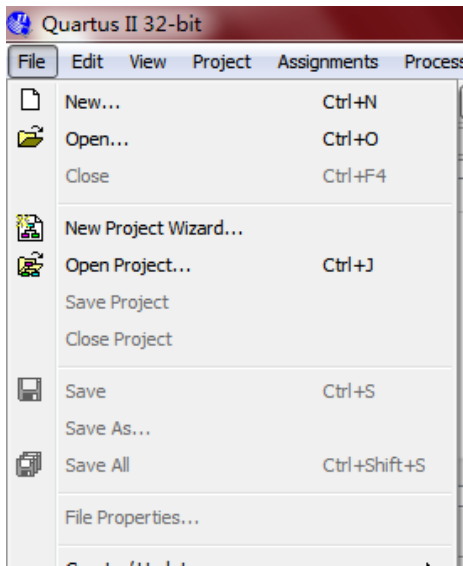
本实验演示了在 EasyGX 硬件和 Quartus II 软件安装完成后，如何控制 LED 闪烁的练习。

4.1.2 步骤

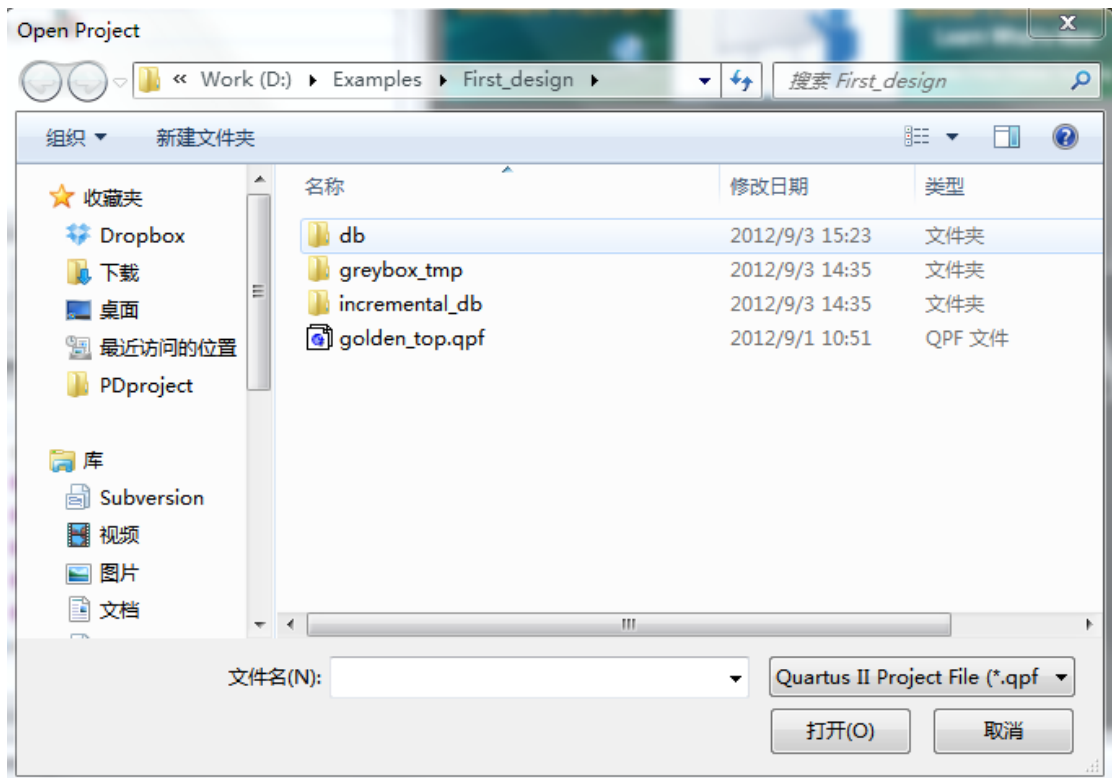
启动 Quartus II:



点击 File -> Open Project, 打开项目工程;



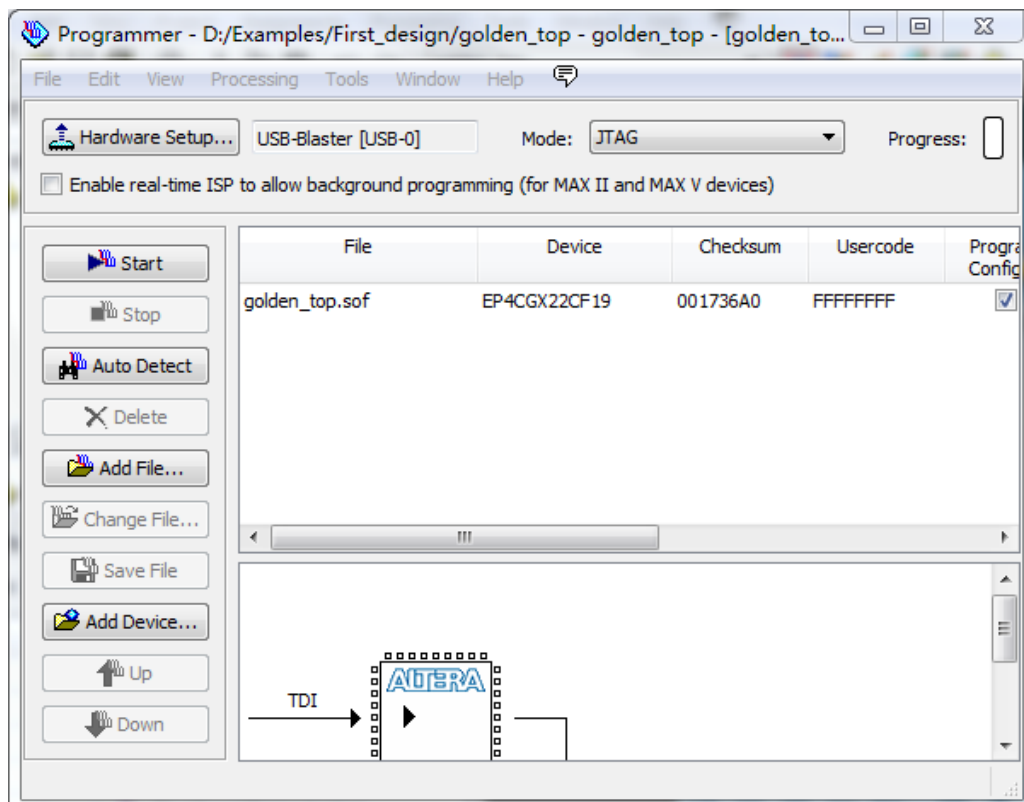
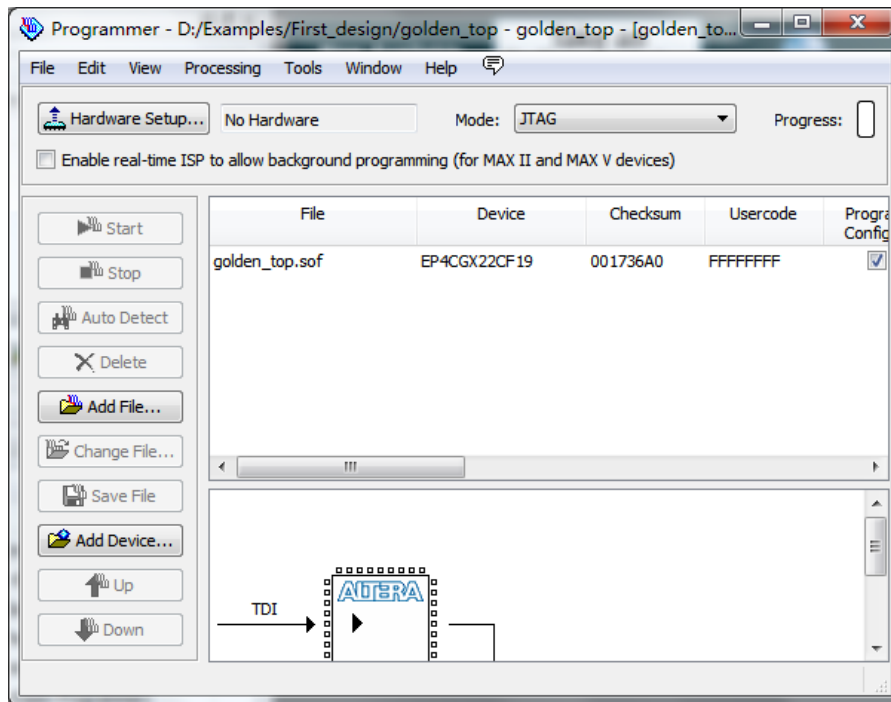
找到 First_design 目录, 打开其中的.qpf 文件;



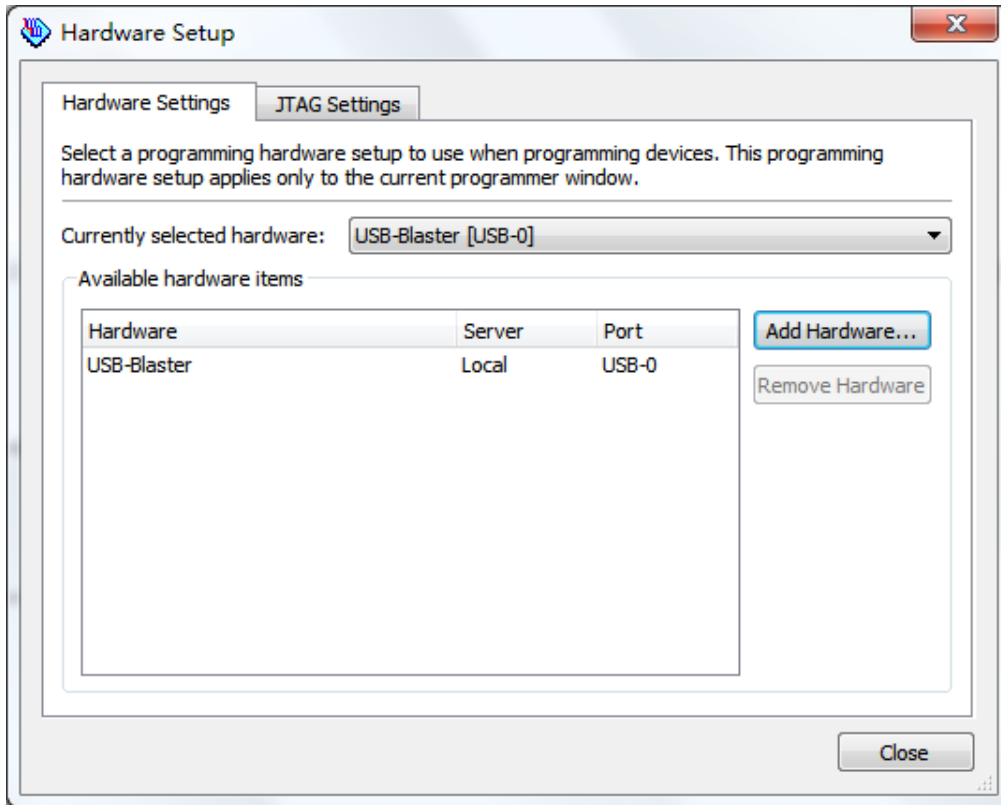
点击工具栏中的烧写图标或者 Tools->Programmer;



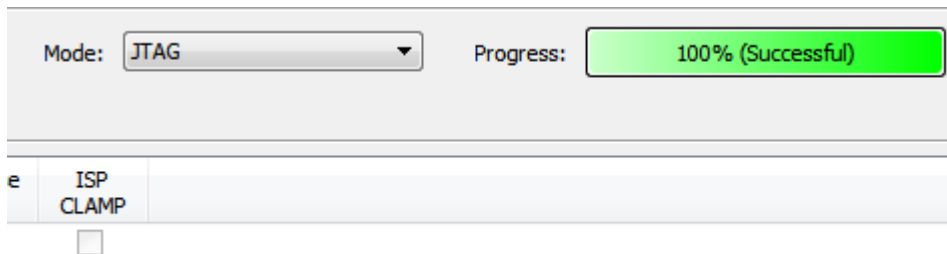
如果出现下面的情况，点左上 Hardware Setup:



在下拉菜单中选择 USB_Blaster[USB-0]，然后选择“Close”；



点击左边 **Start**，就开始烧写过程，成功后会出现如下画面；



烧写成功以后，可以看到开发板 D6~D9LED 灯闪烁。如下图；



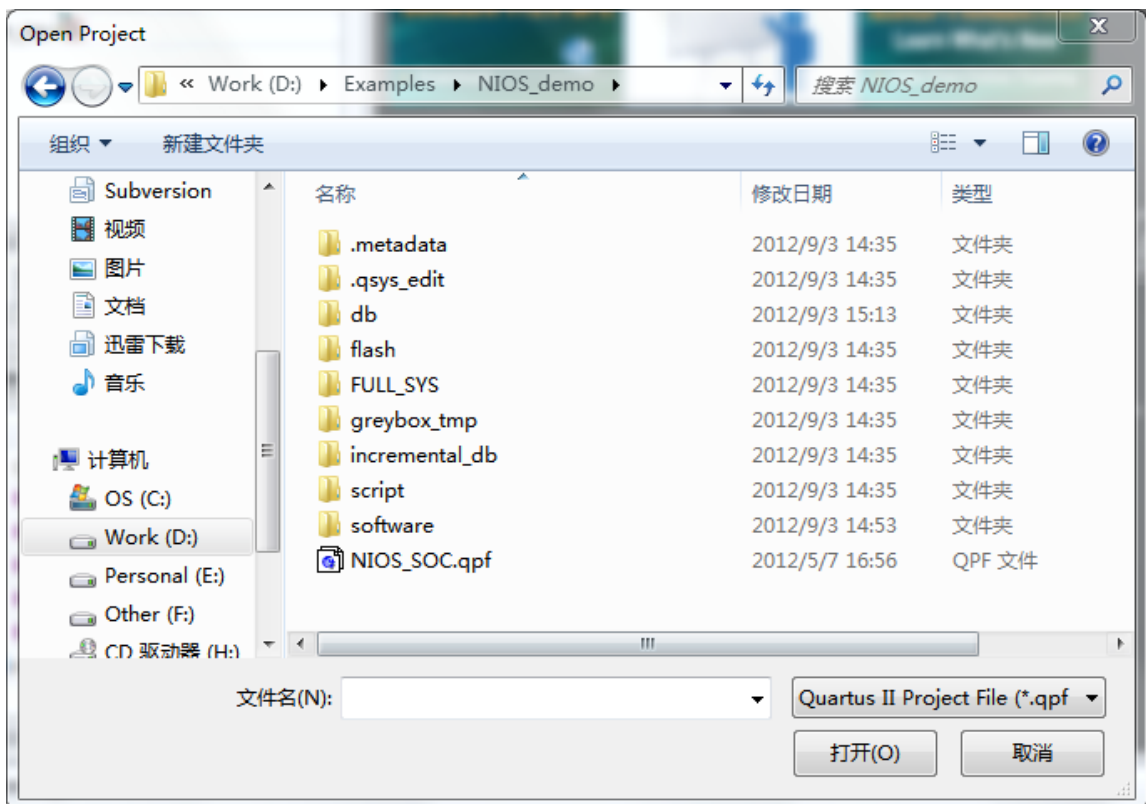
4.2 实验 2

4.2.1 目标

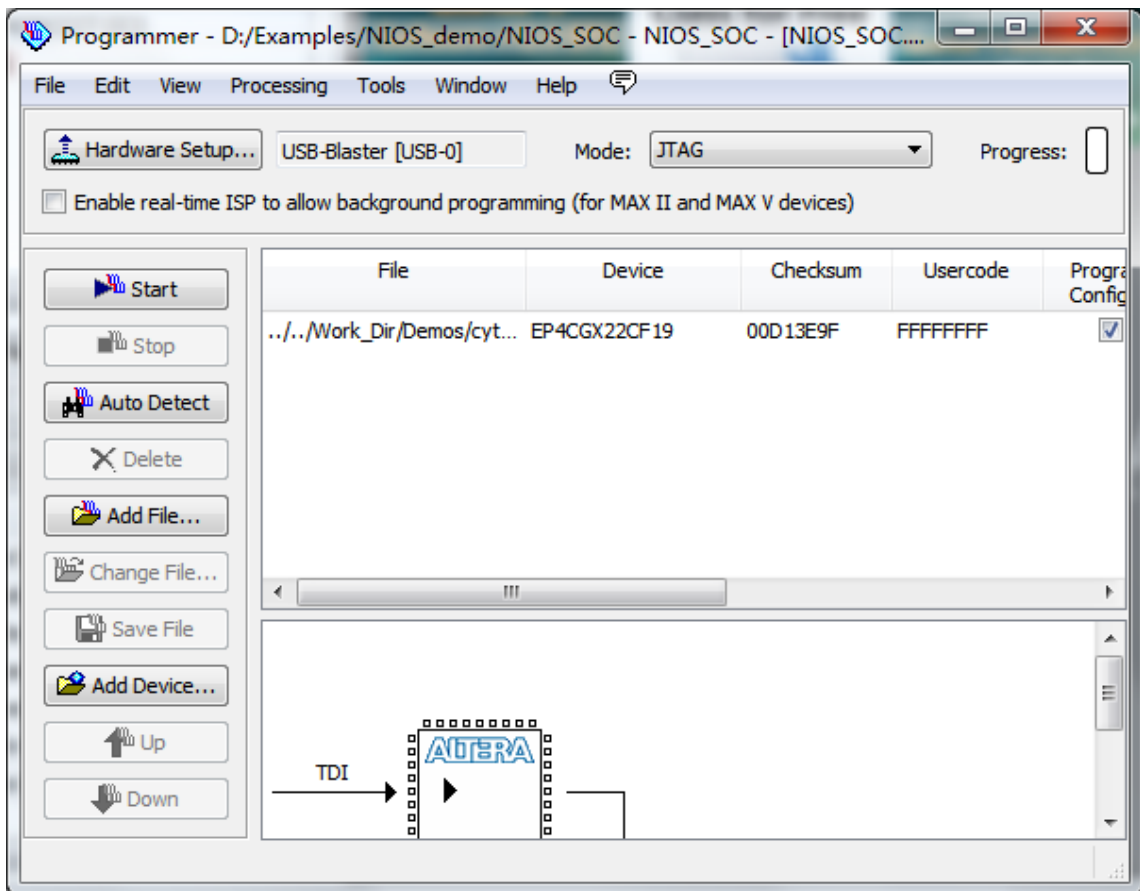
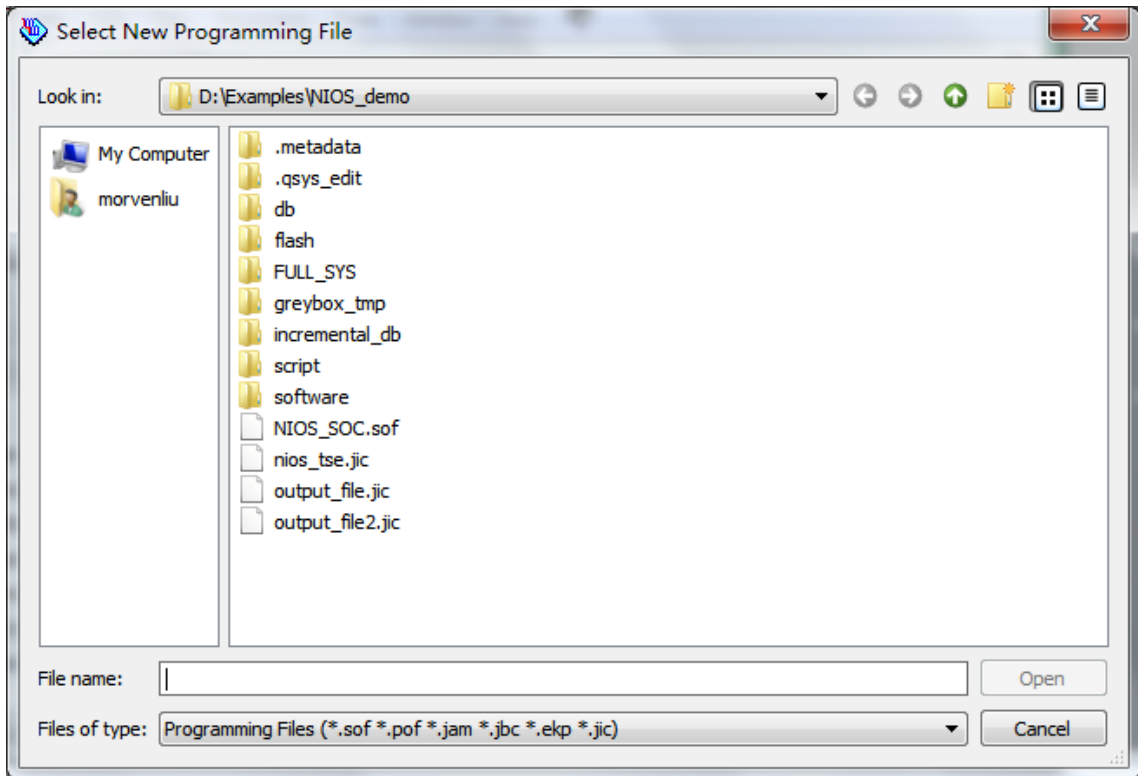
本实验旨在通过练习让实验者学会如何使用“NIOS II simple socket server”去控制 LED。本实验利用了千兆以太网端口作为一个服务控制器。

4.2.2 步骤

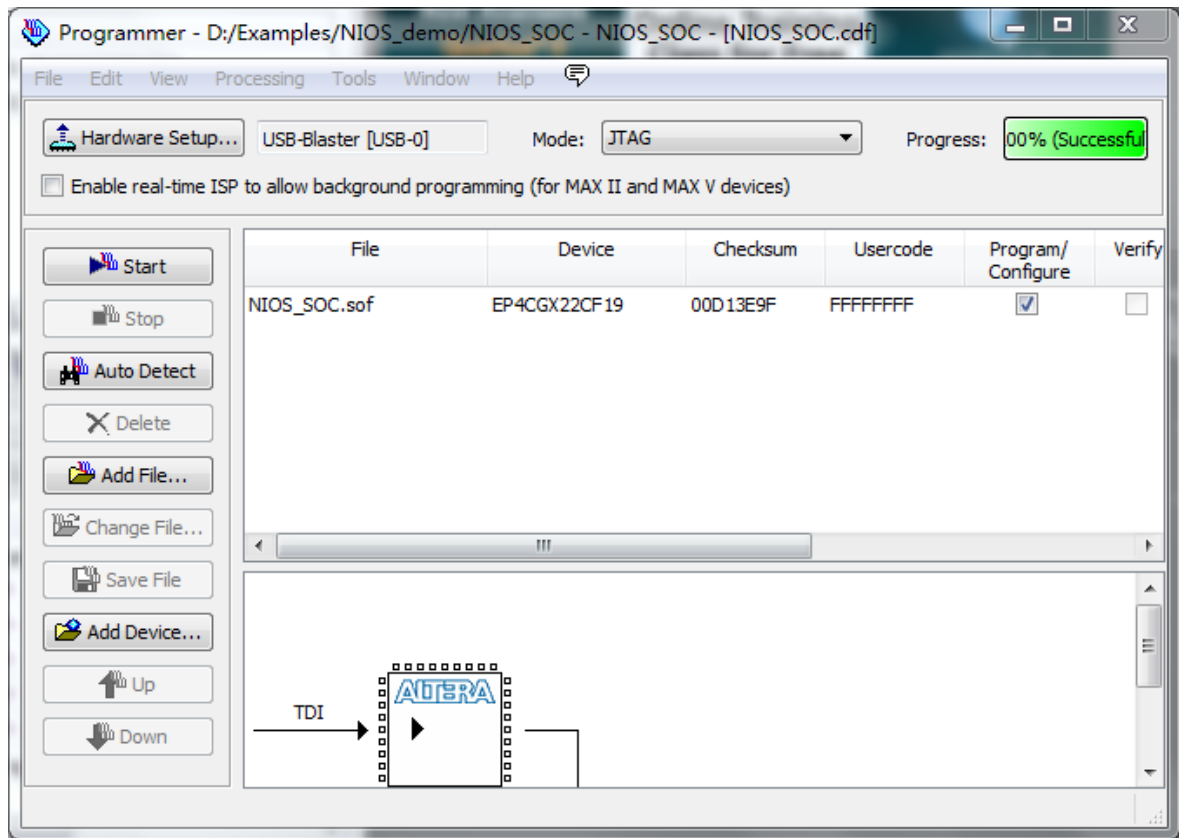
如下图在 QuartusII 中打开项目文件；



选择烧写，如下图。File 栏下的路径如果出现错误，则双击选择文件，如后图；



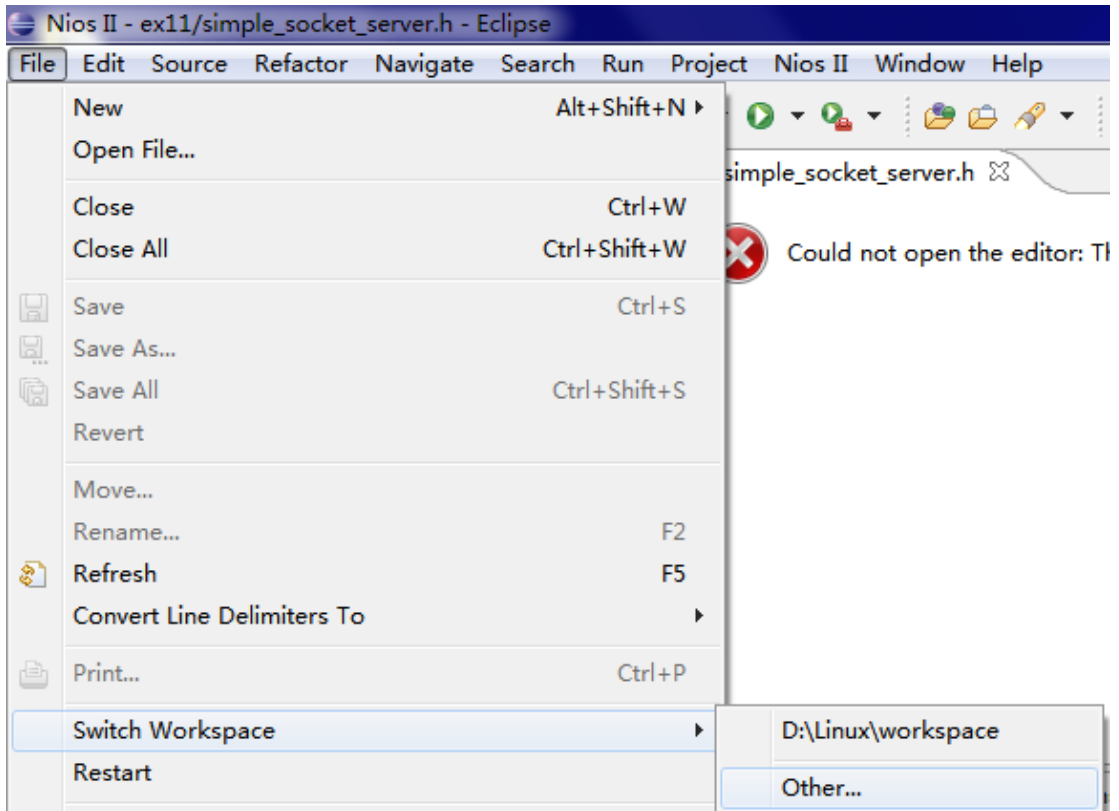
选择完成后，点击 **Start** 开始烧写，烧写完成如下图：



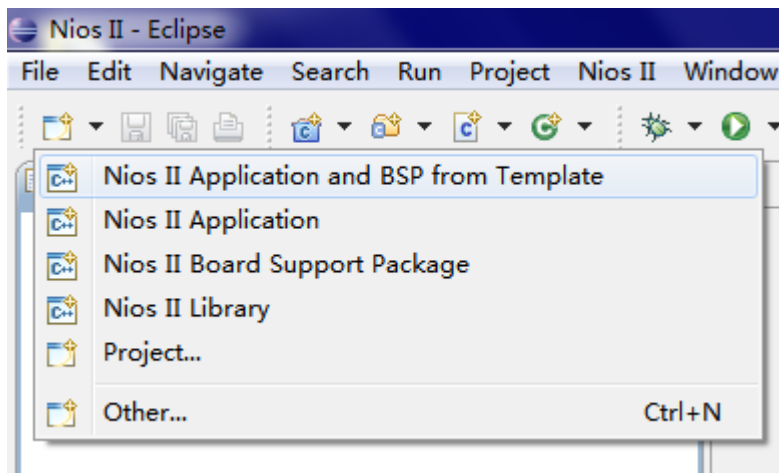
如下图，在开始->程序列表下找到 NiosII，右键选择以管理员身份运行；



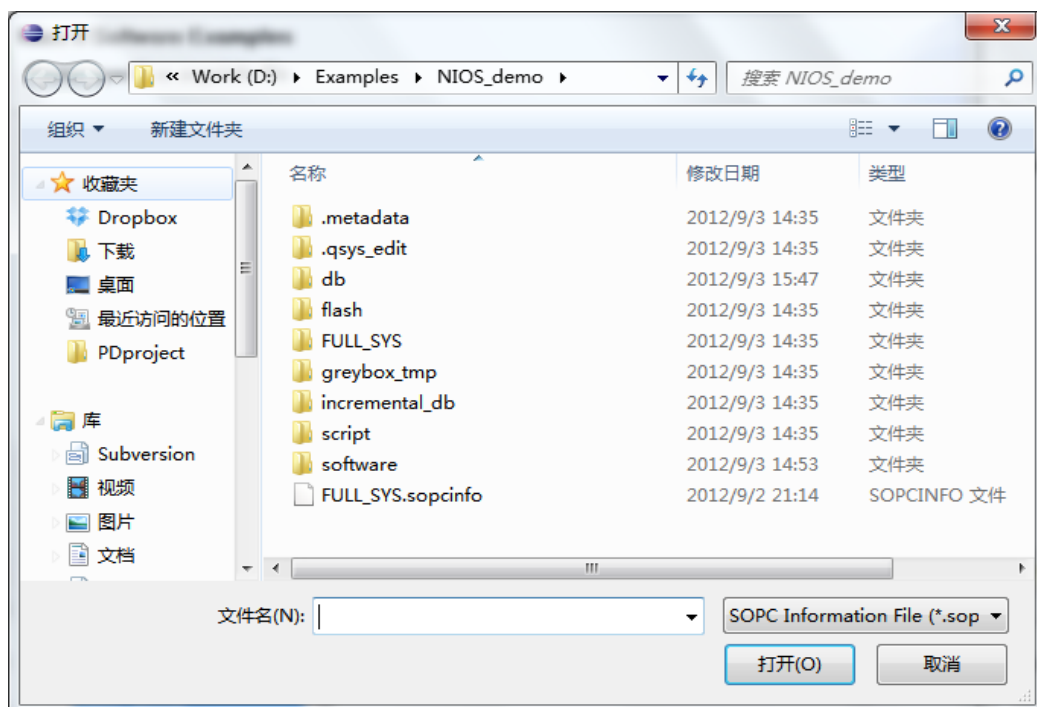
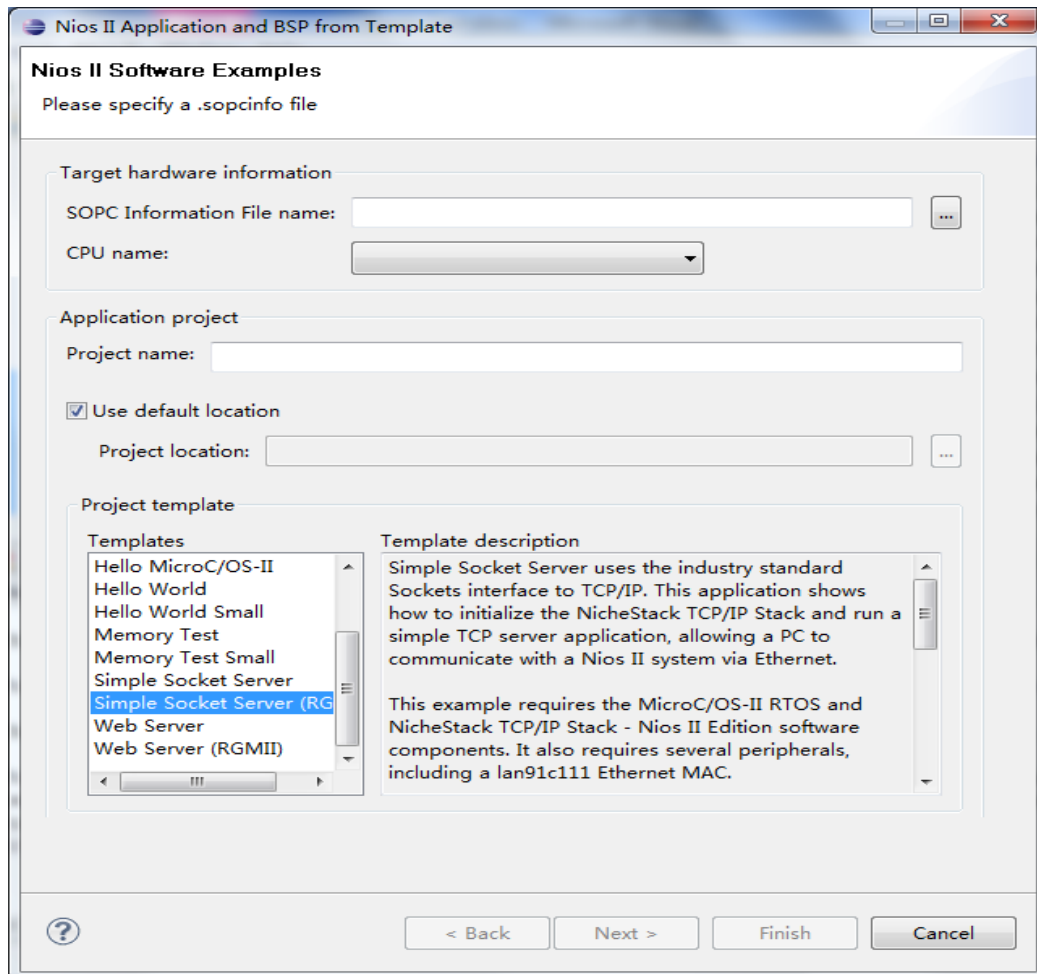
点击 File->Switch Workspace->Other，选择 Example 目录。



新建一个 NiosII Application and BSP from Template 工程



在出现的窗口中选择 SOPC 文件，填写 Project Name 栏，并且选择 Template 为 Simple Socket Server(RG...



完成后，修改 simple_socket_server.h 文件中的如下几行，修改结果如图：

```

simple_socket_server.h
* these values are only a valid default on networks with DHCP s
*
* If DHCP will not be used, select valid static IP addresses he
*   IP: 192.168.1.234
*   Gateway: 192.168.1.1
*   Subnet Mask: 255.255.255.0
*/
#define IPADDR0 0
#define IPADDR1 0
#define IPADDR2 0
#define IPADDR3 0

#define GWADDR0 0
#define GWADDR1 0
#define GWADDR2 0
#define GWADDR3 0
    
```

```

simple_socket_server.h
* these values are only a valid default on networks with DHCP s
*
* If DHCP will not be used, select valid static IP addresses he
*   IP: 192.168.1.234
*   Gateway: 192.168.1.1
*   Subnet Mask: 255.255.255.0
*/
#define IPADDR0 192
#define IPADDR1 168
#define IPADDR2 1
#define IPADDR3 234

#define GWADDR0 192
#define GWADDR1 168
#define GWADDR2 1
#define GWADDR3 1
    
```

打开 network_utilities.c 文件，查找 ser_num = get_serial_number(); 用 ser_num = 123456789; 代替，如下图：

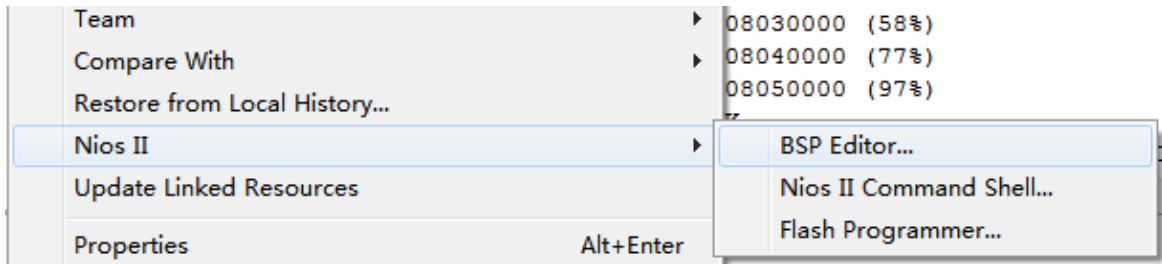
```

simple_socket_server.h  network_utilities.c
printf("Can't read the MAC address from your board (this pro
printf("that your flash was erased). We will assign you a M
printf("static network settings\n\n");

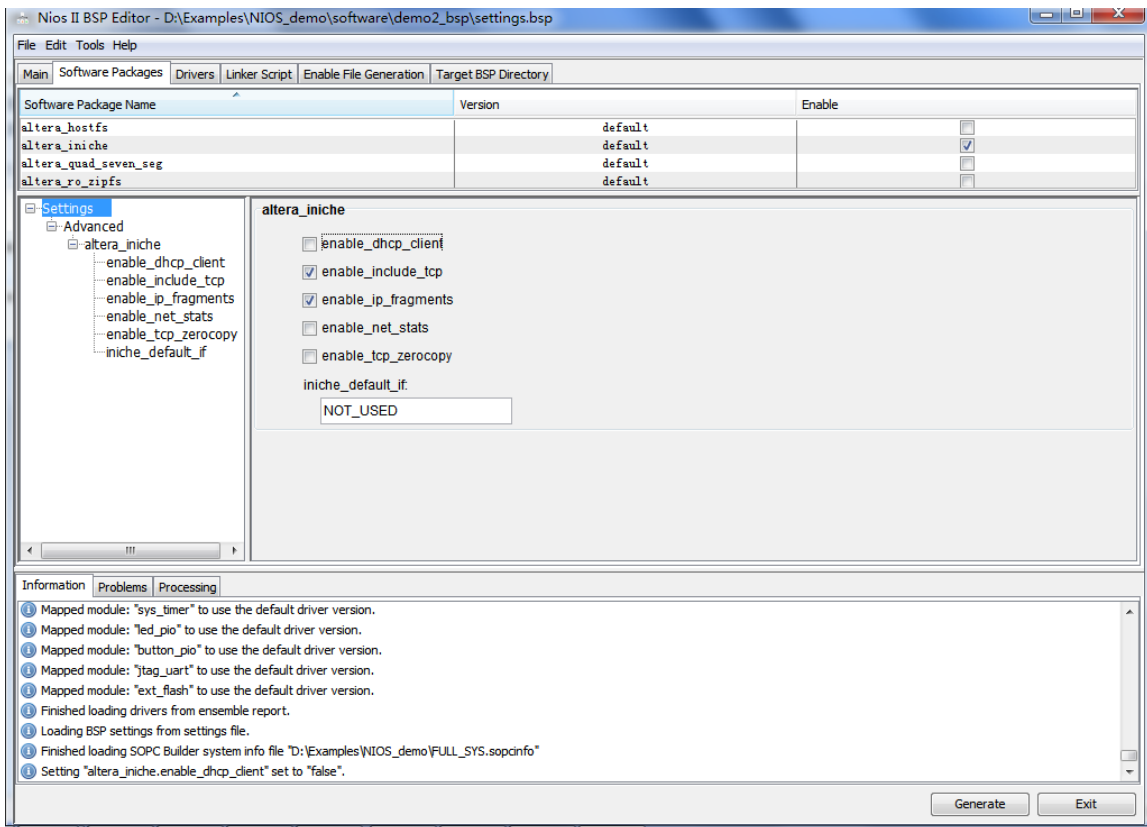
//ser_num = get_serial_number();
ser_num = 123456789;

if (ser_num)
{
    /* This says the image is safe */
    flash_content[0] = 0xfe;
    flash_content[1] = 0x5a;
    flash_content[2] = 0x0;
    flash_content[3] = 0x0;
}
    
```

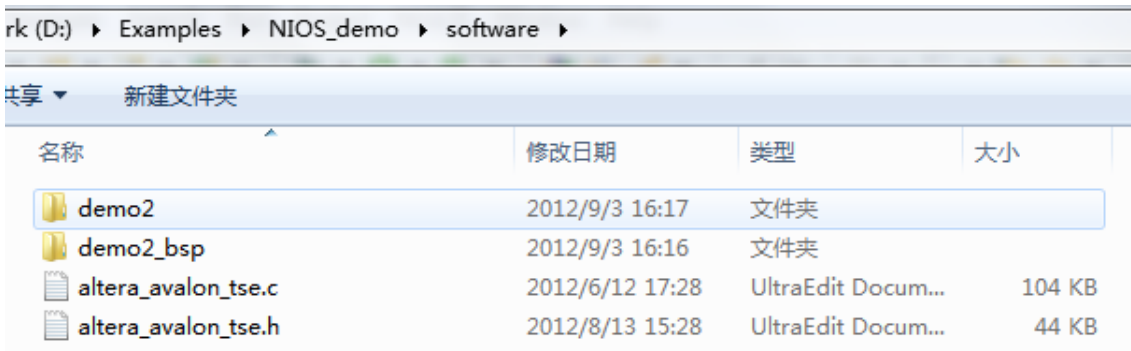
在项目上右键，选择 NiosII->BSP Editor;



在 Software Packages 选项卡去，去除 enable_dhcp_client 选项。点击右下角 Generate;



在如下路径中有两个文件，分别放到 demo2_bsp ->drivers->inc, 和 demo2_bsp ->drivers->src 下，替换其中的文件，.h 文件放到 inc 下，.c 文件放到 src 下;



rk (D:) ▸ Examples ▸ NIOS_demo ▸ software ▸ demo2_bsp ▸ drivers ▸ inc ▸

共享 ▾ 新建文件夹

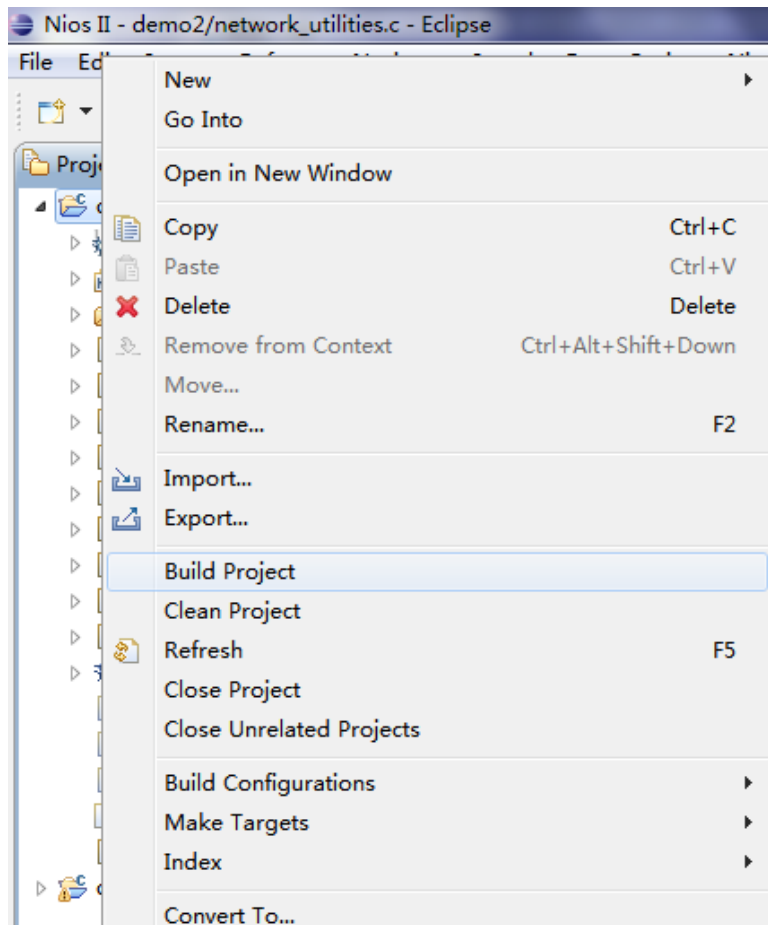
名称	修改日期	类型	大小
iniche	2012/9/3 16:09	文件夹	
altera_avalon_cfi_flash.h	2012/9/3 16:09	UltraEdit Docum...	9 KB
altera_avalon_cfi_flash_amd_funcs.h	2012/9/3 16:09	UltraEdit Docum...	4 KB
altera_avalon_cfi_flash_funcs.h	2012/9/3 16:09	UltraEdit Docum...	4 KB
altera_avalon_cfi_flash_intel_funcs.h	2012/9/3 16:09	UltraEdit Docum...	4 KB
altera_avalon_epcs_flash_controller.h	2012/9/3 16:09	UltraEdit Docum...	8 KB
altera_avalon_jtag_uart.h	2012/9/3 16:09	UltraEdit Docum...	8 KB
altera_avalon_jtag_uart_fd.h	2012/9/3 16:09	UltraEdit Docum...	6 KB
altera_avalon_jtag_uart_regs.h	2012/9/3 16:09	UltraEdit Docum...	5 KB
altera_avalon_pio_regs.h	2012/9/3 16:09	UltraEdit Docum...	5 KB
altera_avalon_sgdma.h	2012/9/3 16:09	UltraEdit Docum...	10 KB
altera_avalon_sgdma_descriptor.h	2012/9/3 16:09	UltraEdit Docum...	6 KB
altera_avalon_sgdma_regs.h	2012/9/3 16:09	UltraEdit Docum...	7 KB
altera_avalon_spi.h	2012/9/3 16:09	UltraEdit Docum...	4 KB
altera_avalon_spi_regs.h	2012/9/3 16:09	UltraEdit Docum...	6 KB
altera_avalon_timer.h	2012/9/3 16:09	UltraEdit Docum...	10 KB
altera_avalon_timer_regs.h	2012/9/3 16:09	UltraEdit Docum...	11 KB
altera_avalon_tse_system_info.h	2012/9/3 16:09	UltraEdit Docum...	17 KB
epcs_commands.h	2012/9/3 16:09	UltraEdit Docum...	1 KB
triple_speed_ethernet.h	2012/9/3 16:09	UltraEdit Docum...	3 KB
triple_speed_ethernet_regs.h	2012/9/3 16:09	UltraEdit Docum...	33 KB
altera_avalon_tse.h	2012/8/13 15:28	UltraEdit Docum...	44 KB

rk (D:) ▸ Examples ▸ NIOS_demo ▸ software ▸ demo2_bsp ▸ drivers ▸ src ▸

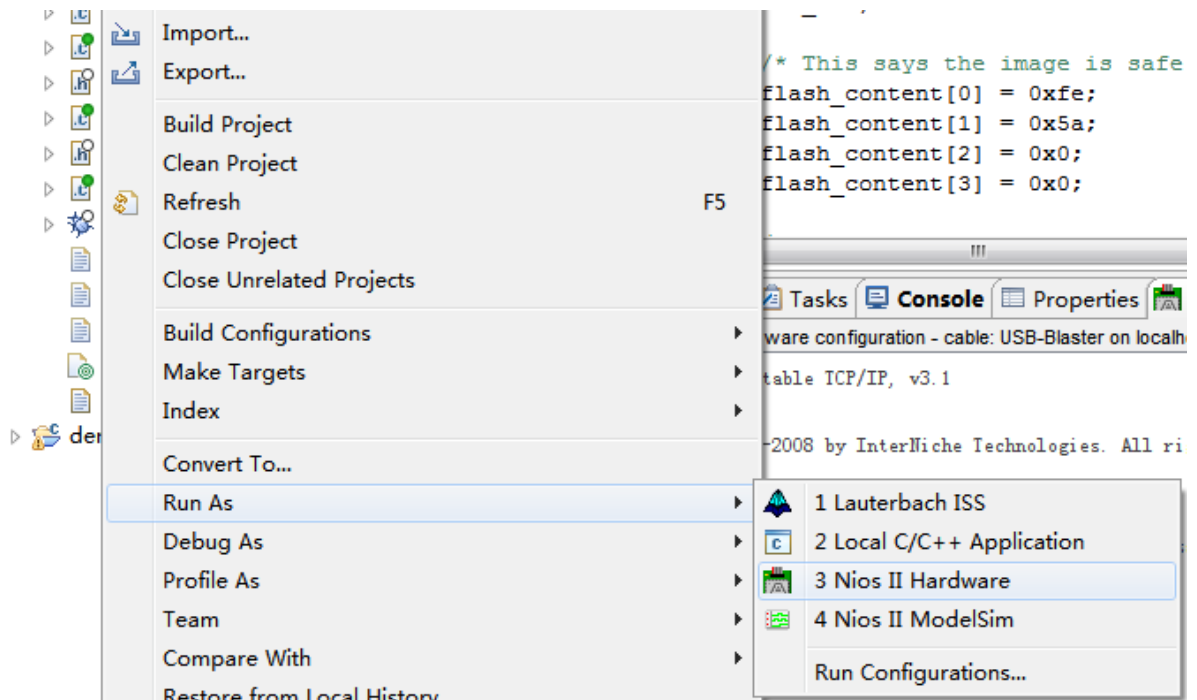
共享 ▾ 新建文件夹

名称	修改日期	类型	大小
iniche	2012/9/3 16:09	文件夹	
altera_avalon_cfi_flash.c	2012/9/3 16:09	UltraEdit Docum...	12 KB
altera_avalon_cfi_flash_amd.c	2012/9/3 16:09	UltraEdit Docum...	9 KB
altera_avalon_cfi_flash_intel.c	2012/9/3 16:09	UltraEdit Docum...	8 KB
altera_avalon_cfi_flash_table.c	2012/9/3 16:09	UltraEdit Docum...	19 KB
altera_avalon_epcs_flash_controller.c	2012/9/3 16:09	UltraEdit Docum...	15 KB
altera_avalon_jtag_uart_fd.c	2012/9/3 16:09	UltraEdit Docum...	4 KB
altera_avalon_jtag_uart_init.c	2012/9/3 16:09	UltraEdit Docum...	11 KB
altera_avalon_jtag_uart_ioctl.c	2012/9/3 16:09	UltraEdit Docum...	4 KB
altera_avalon_jtag_uart_read.c	2012/9/3 16:09	UltraEdit Docum...	7 KB
altera_avalon_jtag_uart_write.c	2012/9/3 16:09	UltraEdit Docum...	8 KB
altera_avalon_sgdma.c	2012/9/3 16:09	UltraEdit Docum...	30 KB
altera_avalon_spi.c	2012/9/3 16:09	UltraEdit Docum...	6 KB
altera_avalon_timer_sc.c	2012/9/3 16:09	UltraEdit Docum...	5 KB
altera_avalon_timer_ts.c	2012/9/3 16:09	UltraEdit Docum...	7 KB
altera_avalon_timer_vars.c	2012/9/3 16:09	UltraEdit Docum...	3 KB
altera_avalon_tse.c	2012/6/12 17:28	UltraEdit Docum...	104 KB
altera_avalon_tse_system_info.c	2012/9/3 16:09	UltraEdit Docum...	4 KB
epcs_commands.c	2012/9/3 16:09	UltraEdit Docum...	6 KB

编译工程；



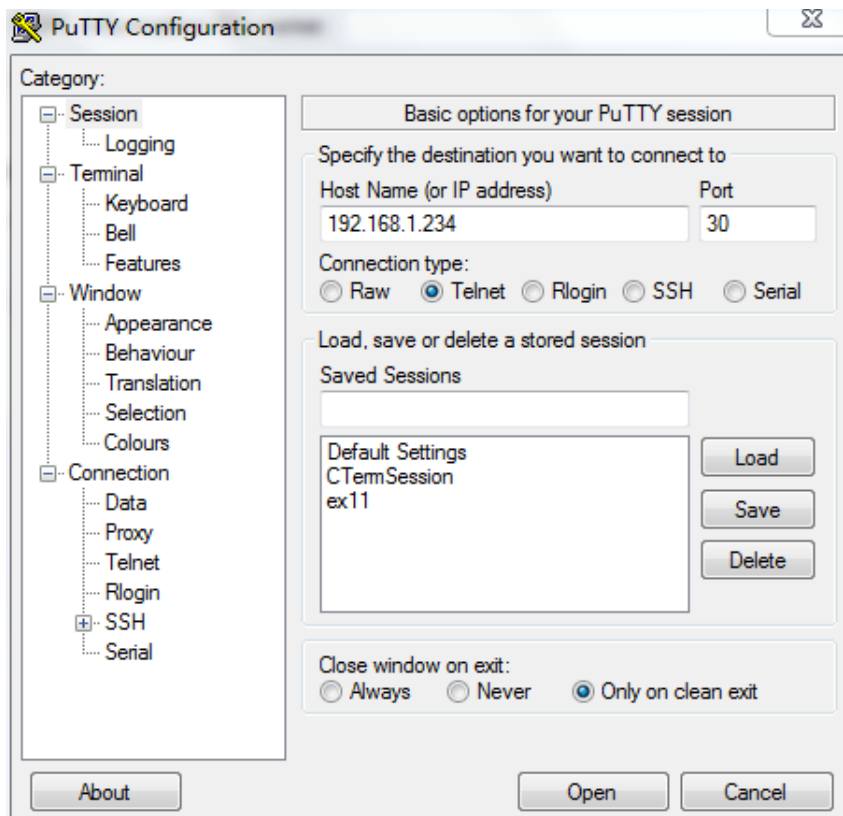
然后右键选择 Run As->NiosII Hardware;



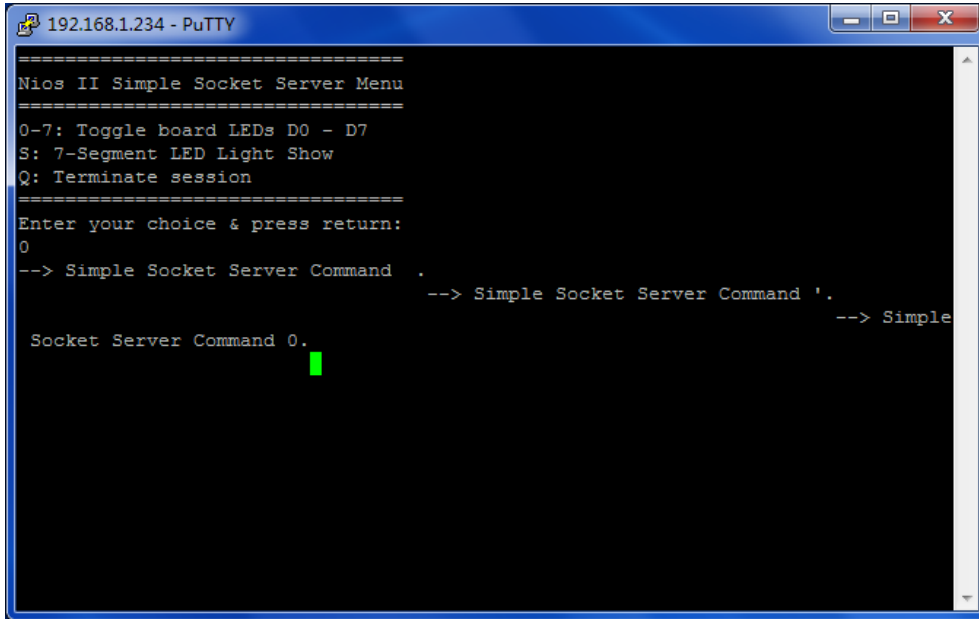
完成后打开一个 cmd 窗口，ping 192.168.1.234，看是否成功；



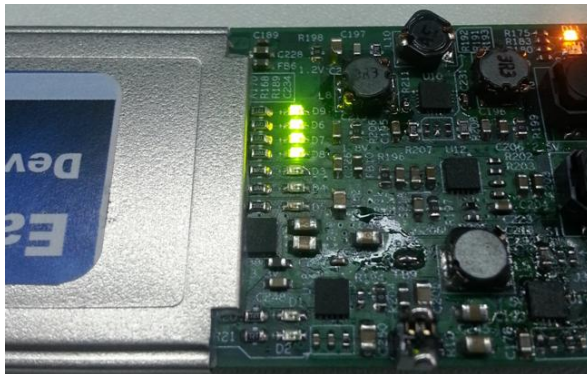
可以用 [PuTTY](#) 来开关 LED 灯。PuTTY 直接运行，设置如下；



Open 后看到如下画面，分别输入 0,1,2,3 分别开关 D8, D7, D6, D9;



开关效果如下。



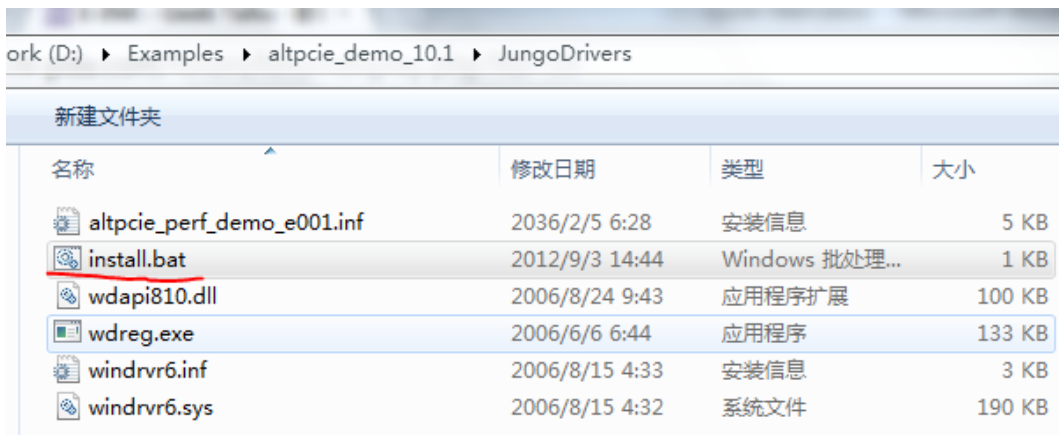
4.3 实验 3

4.3.1 目标

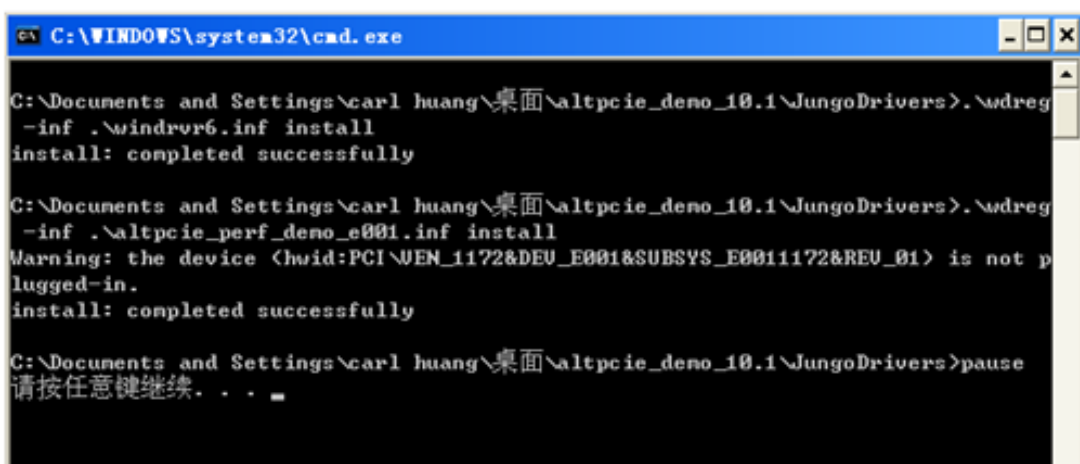
本实验演示了 Cyclone IV GX PCIe 硬件 IP 和该设备的数据吞吐性能。可参考 Altera 的应用笔记：“PCIe High Performance Reference Design (AN456)”

4.3.2 步骤

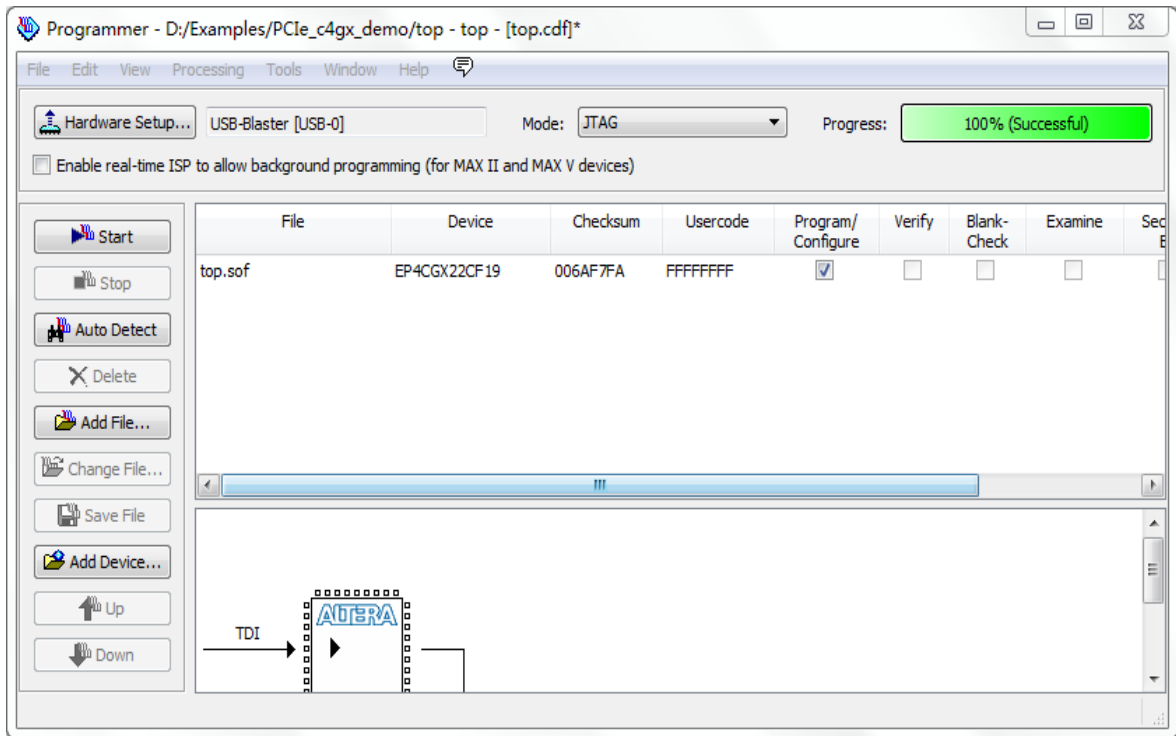
安装驱动。运行 install.bat;



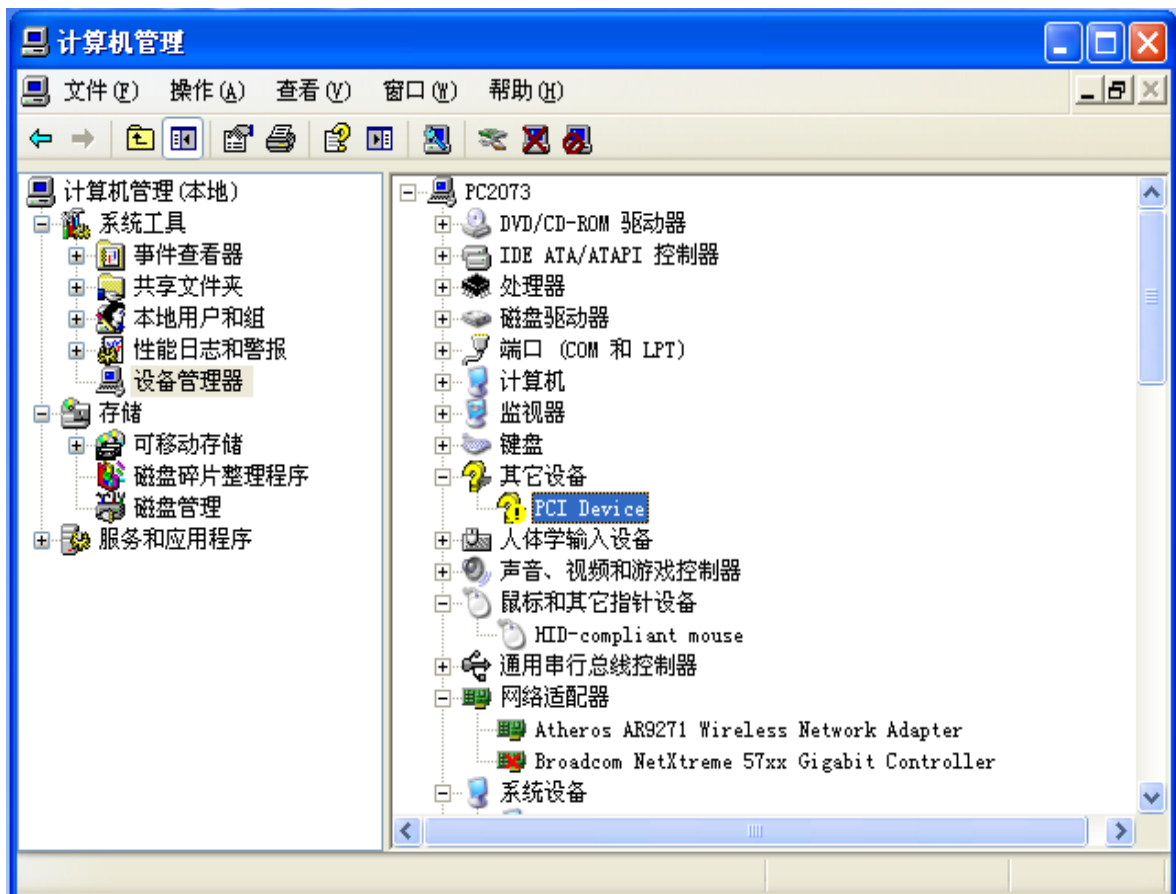
下图表明安装成功;



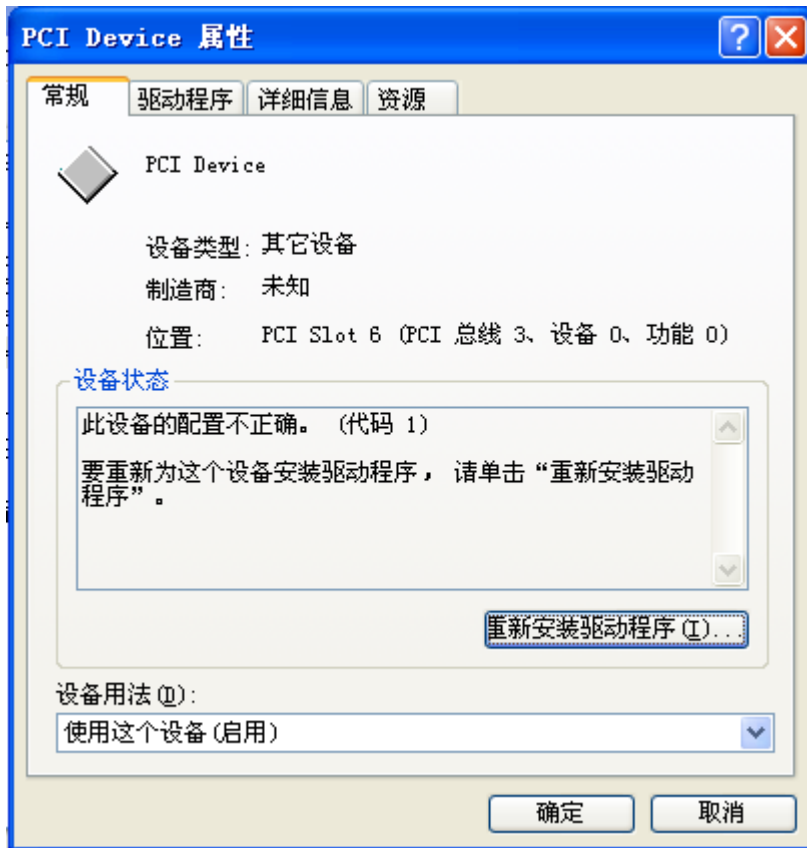
下载“top.sof”到主板上的 FPGA



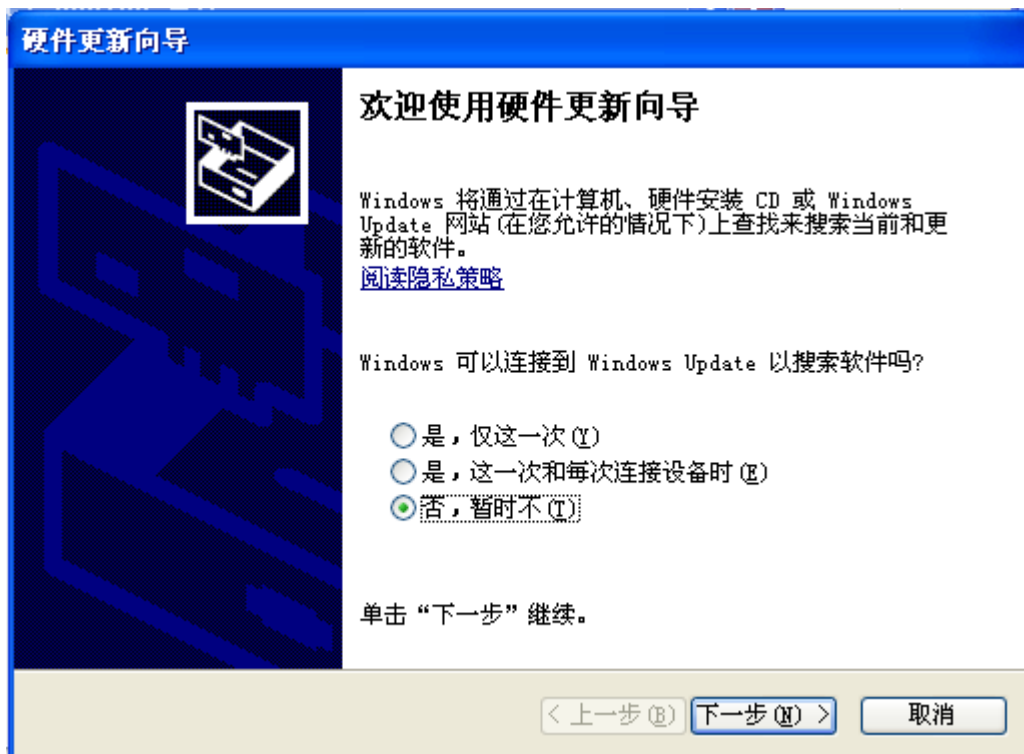
将 PCIe 卡插入计算机的 EC 接口。如果没有则需要如下图所示的转接器。插入以后，在设备管理器中出现如下所示的未知设备；



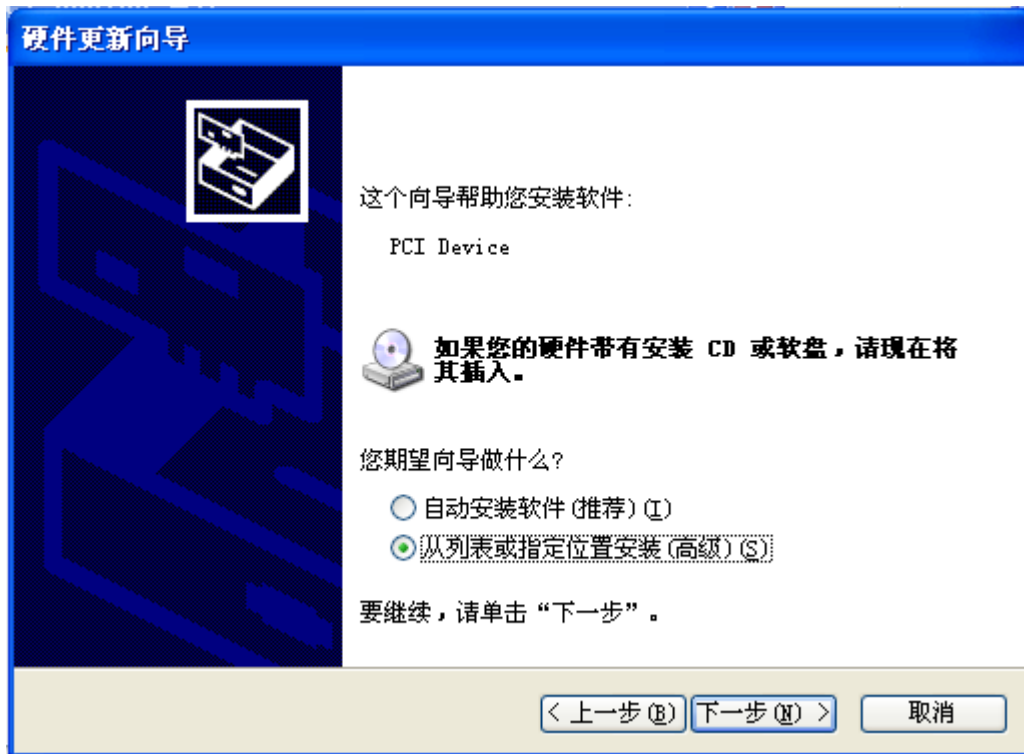
双击该设备，查看该设备是否正常安装驱动；



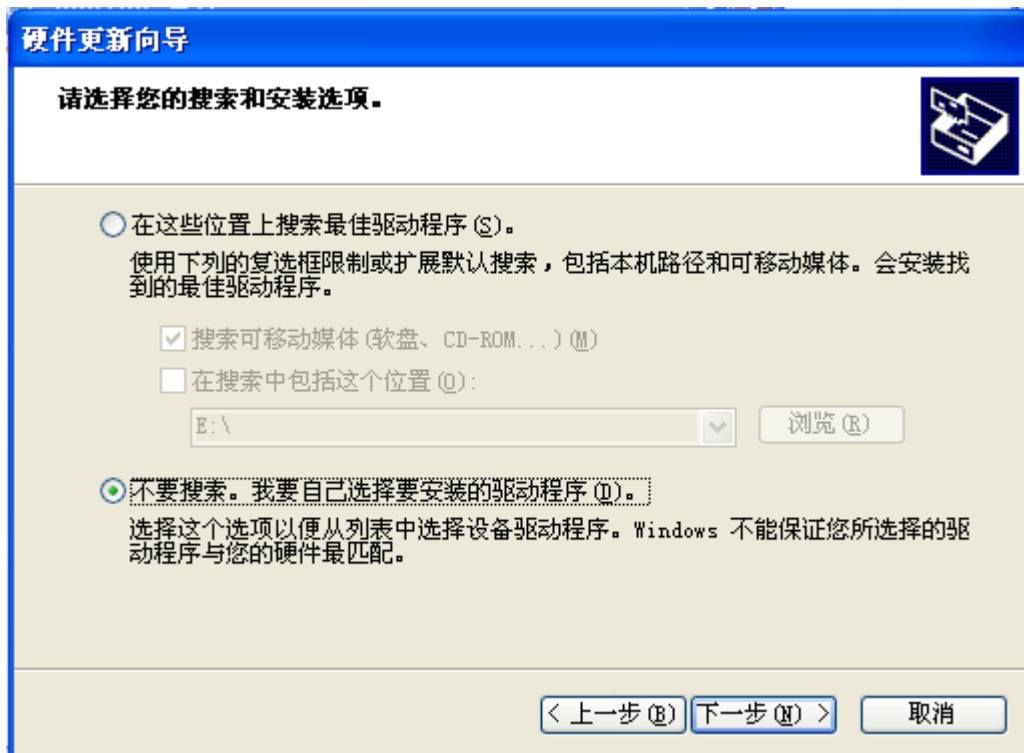
若驱动不正常，点击重新安装驱动程序，选择“否，暂时不”，然后“下一步”；



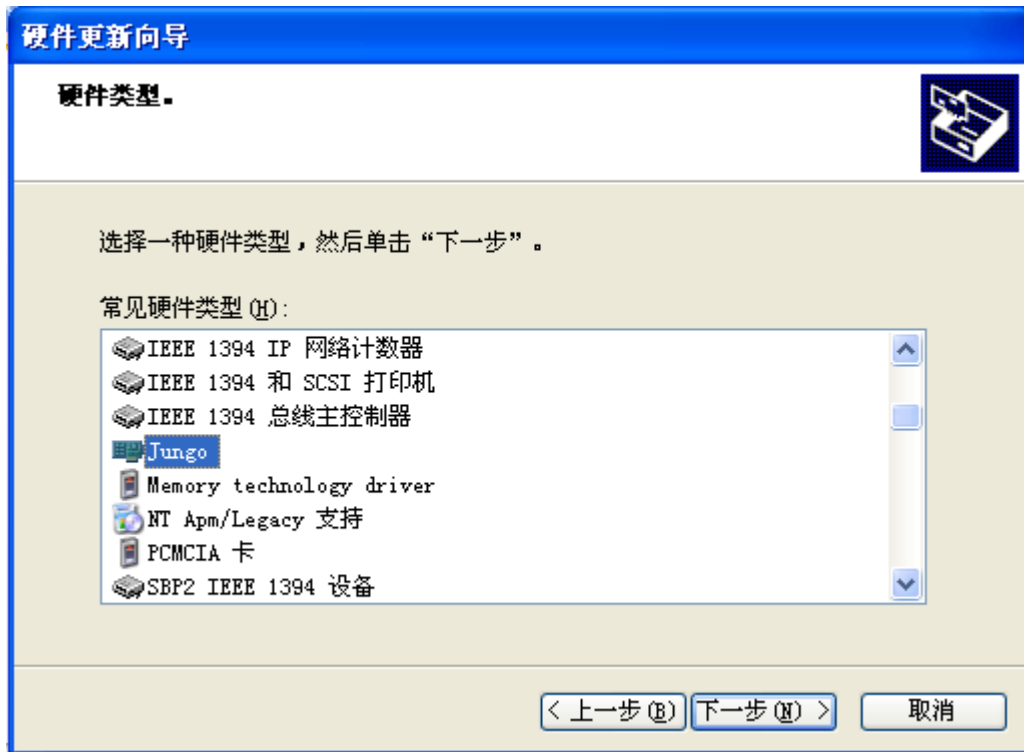
选择从列表或指定未知安装，下一步；



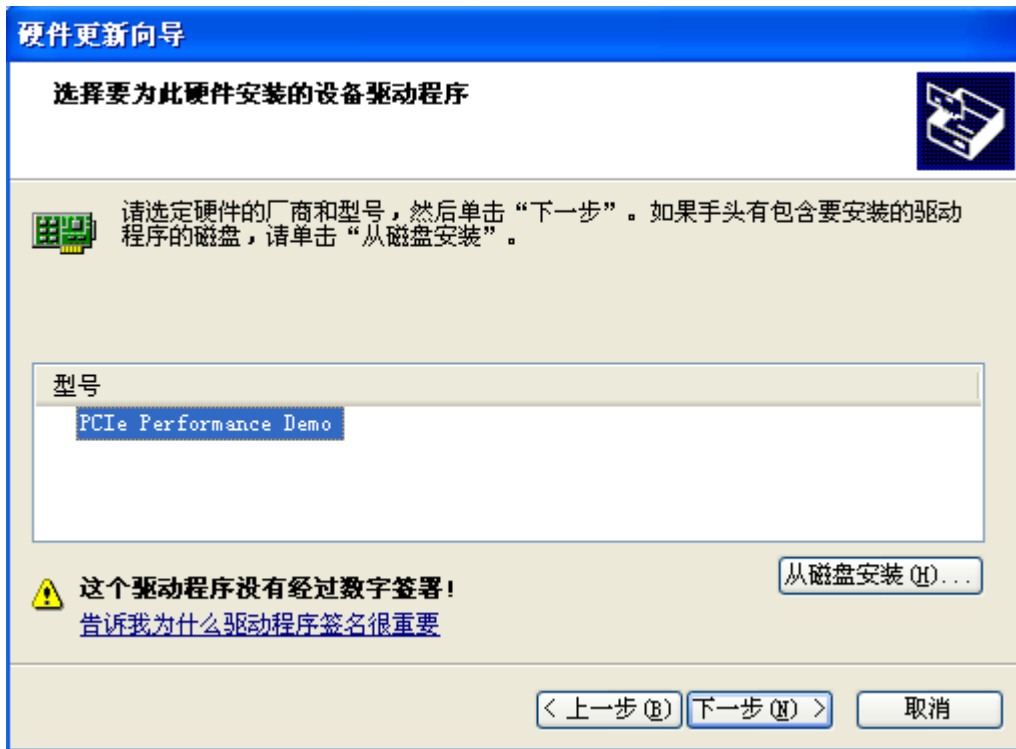
选择不要搜索，然后“下一步”；



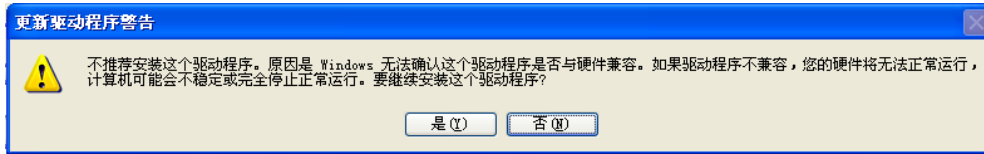
在列表中选择 Jungo，下一步；



确认显示“PCIe Performance Demo”，然后点击“下一步”；



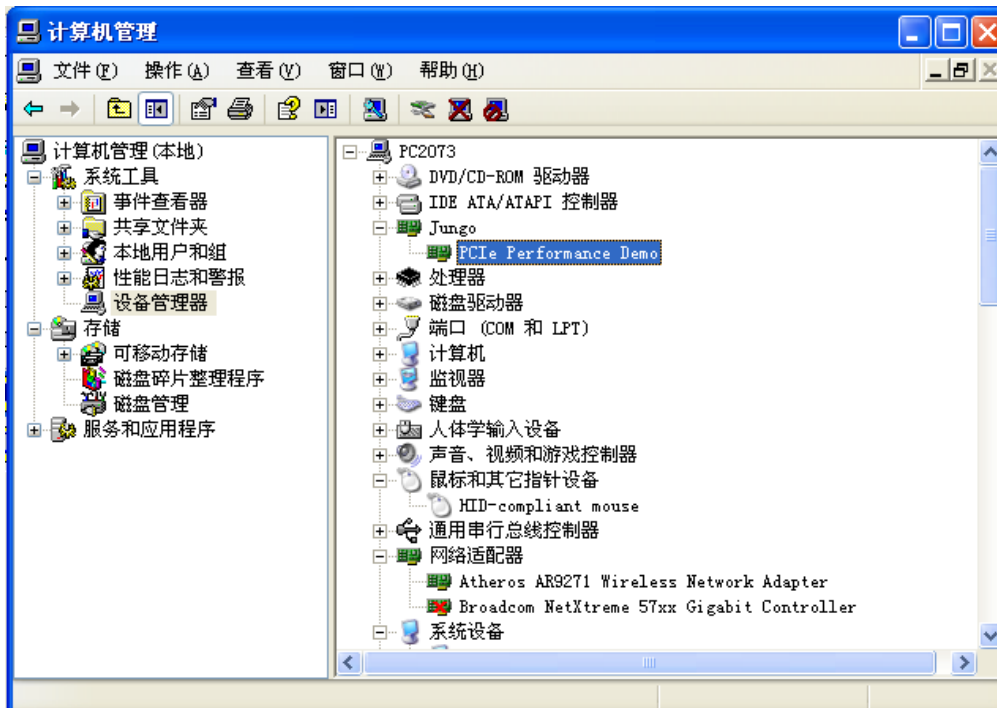
出现如下对话框，选择“是”；



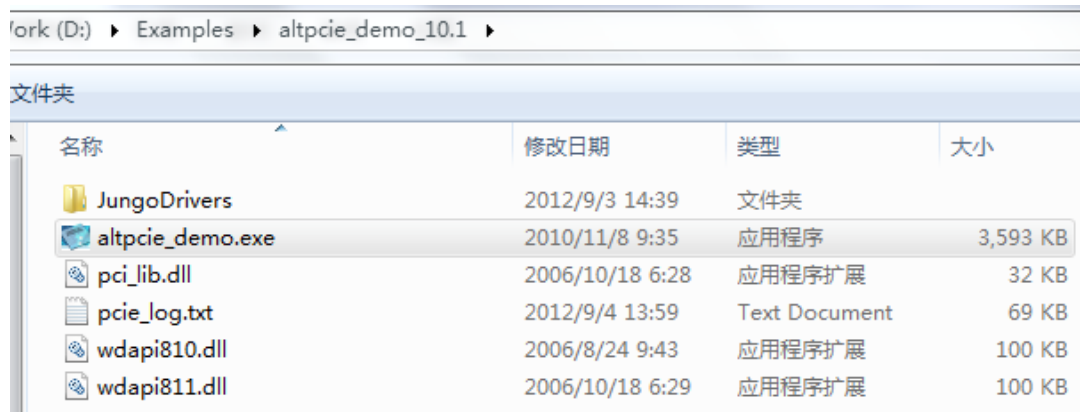
出现如下对话框，等待；



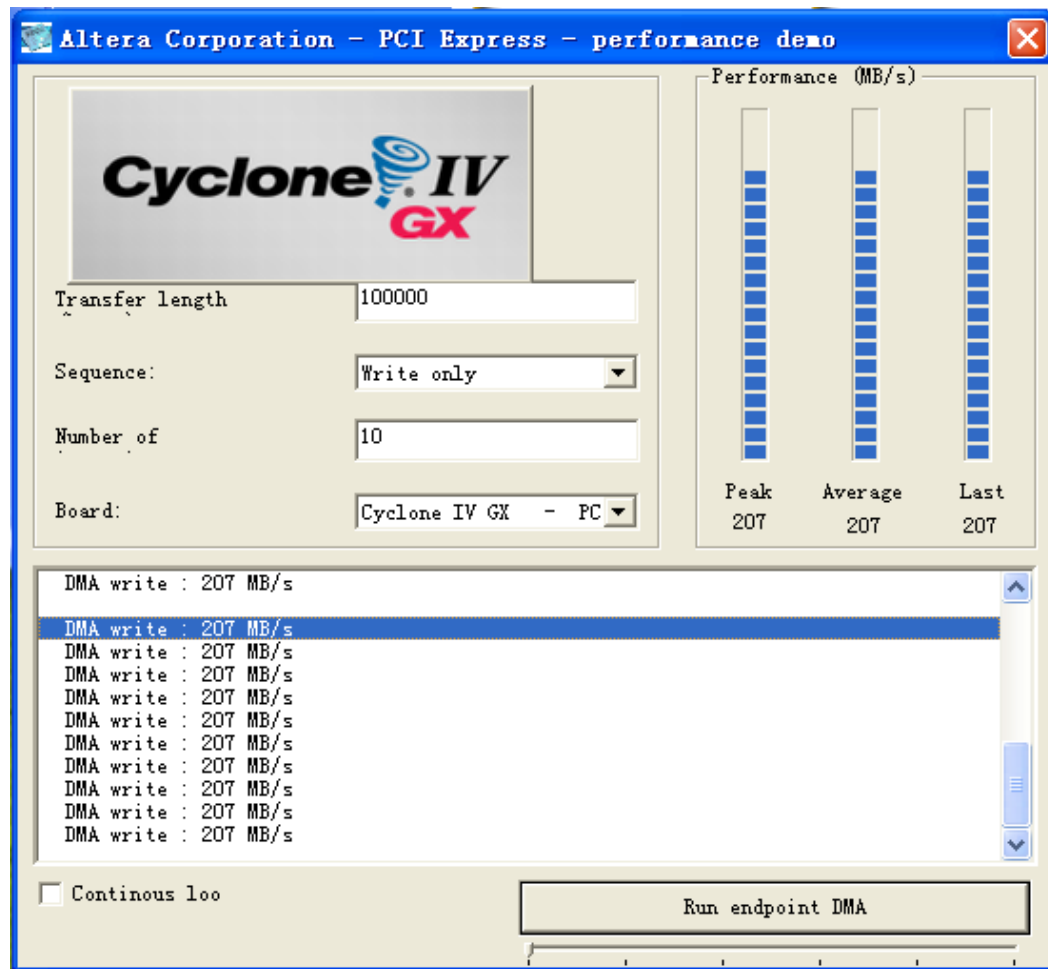
安装成功后，设备管理器中出现如下器件，说明安装成功；



运行如下程序：



按如下配置，点击“Run endpoint DMA”。



5 附录

AN 456: PCI Express High Performance Reference Design - Altera
www.altera.com/literature/an/an456.pdf