



英特尔® Agilex™ 5 FPGA 和 SoC 器件概述

本翻译版本仅供参考，如果本翻译版本与其英文版本存在差异，则以英文版本为准。某些翻译版本尚未更新对应到最新的英文版本，请参考[英文版本](#)以获取最新信息。



在线版本

发送反馈

ID: **762191**

版本: **2023.01.10**

内容

1. 英特尔® Agilex™ 5 FPGA 和 SoC 的概述	4
1.1. 英特尔 Agilex 5 FPGA 和 SoC 中的主要功能和创新.....	5
1.2. 英特尔 Agilex 5 FPGA 和 SoC 结构框图.....	7
1.3. 英特尔 Agilex 5 FPGA 和 SoC 特性汇总.....	7
1.4. 英特尔 Agilex 5 SoC 的附加功能.....	11
2. 英特尔 Agilex 5 FPGA 和 SoC 系列规划	13
2.1. 英特尔 Agilex 5 FPGA 和 SoC D 系列.....	13
2.2. 英特尔 Agilex 5 FPGA 和 SoC E 系列.....	14
2.3. 英特尔 Agilex 5 FPGA 和 SoC 封装选项.....	17
3. 第二代英特尔 Hyperflex 内核架构	18
4. 英特尔 Agilex 5 FPGA 和 SoC 中的自适应逻辑模块	20
5. 英特尔 Agilex 5 FPGA 和 SoC 中的内嵌式存储器	22
6. 英特尔 Agilex 5 FPGA 和 SoC 中的可变精度 DSP	23
7. 英特尔 Agilex 5 FPGA 和 SoC 中的内核时钟网络	25
8. 英特尔 Agilex 5 FPGA 和 SoC 中的通用 I/O	26
9. 英特尔 Agilex 5 FPGA 和 SoC 中的 I/O PLL	27
10. 英特尔 Agilex 5 FPGA 和 SoC 中的外部存储器接口	28
10.1. 外部存储器接口性能.....	29
10.2. 硬核储存控制器的特性.....	29
11. 英特尔 Agilex 5 SoC 中的硬核处理器系统	31
12. 英特尔 Agilex 5 FPGA 和 SoC 中的收发器	35
12.1. 英特尔 Agilex 5 FPGA 收发器中的 PMA 特性.....	36
12.2. 英特尔 Agilex 5 FPGA 收发器中的 PCS 特性.....	37
12.3. 英特尔 Agilex 5 FPGA 和 SoC 中的收发器 PLL.....	37
13. 英特尔 Agilex 5 FPGA 和 SoC 中的 MIPI 协议支持	38
14. 英特尔 Agilex 5 FPGA 和 SoC 的 Balls Anywhere 封装设计	40
15. 英特尔 Agilex 5 FPGA 和 SoC 的使用 PCIe 通过协议配置	41
16. 英特尔 Agilex 5 FPGA 和 SoC 中的器件配置和 SDM	42
17. 英特尔 Agilex 5 FPGA 和 SoC 的部分和动态配置	44
18. 英特尔 Agilex 5 FPGA 和 SoC 的器件安全性	45
19. 英特尔 Agilex 5 FPGA 和 SoC 中的 SEU 错误检测和纠正	46
20. 英特尔 Agilex 5 FPGA 和 SoC 的电源管理	47

21. 用于 英特尔 Agilex 5 FPGA 和 SoC 的英特尔 软件和工具.....	48
22. 英特尔 Agilex 5 FPGA 和 SoC 器件概述的修订历史	49



1. 英特尔® Agilex™ 5 FPGA 和 SoC 的概述

英特尔® Agilex™ 5 FPGA 产品系列将 英特尔 Agilex FPGA 产品组合创新扩展到中端 FPGA 应用。英特尔 Agilex 5 FPGA 和 SoC 广泛服务于需要高性能、更低功耗、更小规格和较低逻辑密度的应用。

- 业界首款采用 AI 张量模块的增强型 DSP——提供高效人工智能 (AI) 和数字信号处理 (DSP)
- FPGA 行业内首个非对称应用处理器系统——由一个 Arm* Cortex* -A76 双核处理器和一个 Arm Cortex -A55 双核处理器组合而成，使您能够优化处理工作负载的性能和能效。
- 单体芯片架构——提供更高的系统集成度和更低的功耗以及更小规格的封装。
- 高级连接特性：
 - 高速收发器，最高达到 28.1 Gbps
 - PCI Express* (PCIe*) 4.0 ×8 支持
 - DDR 外部存储接口，最高达到 4,000 Mbps DDR5
 - 通用 I/O，支持 1.05 V 到 3.3 V 电压

相较于上一代英特尔 FPGA，英特尔 Agilex 5 FPGA 产品系列的结构性能平均提升了 50%，而总功耗降低了 42%。为实现这一改进，该产品系列采用了如下关键创新和技术：

- 先进的英特尔 7 技术
- 第二代英特尔 Hyperflex FPGA 架构
- 高级别系统集成
- SmartVID 和固定低核心电压器件选项
- 电源岛、电源门控和其他功率降低技术

这些功能和高级特性使 英特尔 Agilex 5 FPGA 产品系列非常适合从网络边缘到核心的中端 FPGA 应用。这些应用跨越许多领域，包括无线和有线通信、视频和音频广播设备、工业应用、测试和测量产品、医疗电子设备、数据中心和国防。

注意: 本文档中包含的信息为初步信息，并且随着产品的变化而改变。

相关链接

[英特尔 Agilex 5 FPGA 和 SoC FPGA 英特尔网站](#)
提供关于 英特尔 Agilex 5 器件的最新信息。

1.1. 英特尔 Agilex 5 FPGA 和 SoC 中的主要功能和创新

英特尔 Agilex 5 FPGA 和 SoC 层级包含性能优化的 D 系列 FPGA 和功率优化的 E 系列 FPGA 组成。

表 1. 英特尔 Agilex 5 FPGA 和 SoC 系列

特性与创新	D 系列 FPGA		E 系列 FPGA	
			Device Group A	Device Group B
工艺技术	英特尔 7			
架构	单体芯片			
封装	"Balls anywhere"封装小外形规格的最小球间距为 0.65 mm，有助于减少 PCB 的层数。	"Balls anywhere"封装小外形规格的最小球间距为 0.65 mm，有助于减少 PCB 的层数。	<ul style="list-style-type: none"> "Balls anywhere"封装小外形规格的最小球间距为 0.65 mm，有助于减少 PCB 的层数。 矩形封装和标准模式焊球阵列小外形规格的最小球间距为 0.5 mm 	
内核架构	第二代英特尔 Hyperflex 内核架构			
逻辑单元	10.3 万到 64.4 万	13.8 万到 65.6 万	5 万到 65.6 万	
片上 RAM	MLAB 和 M20K			
	69 Mb	38 Mb	38 Mb	
可变精度 DSP	行业领先的数字信号处理 (DSP) 支持，最高达到 38 TFLOPS			
AI 张量模块	Yes			
时钟和 PLL	<ul style="list-style-type: none"> 可编程时钟树综合，用于更灵活的、低功耗以及低偏移时钟 I/O PLL 支持整数模式下对通用 I/O、外部存储器接口、LVDS 和架构使用的精确频率综合 发送 PLL (TX PLL) 支持小数分频综合和超低抖动，以及收发器使用的基于 LC tank 的 PLL。 			
通用 I/O	<ul style="list-style-type: none"> 1.05 V 至 1.3 V 高速 I/O (HSIO) 1.8 V 至 3.3 V 高压 I/O (HVIO) 			
MIPI* D-PHY* v2.5	每 lane 最高达到 3.5 Gbps ⁽¹⁾	每 lane 最高达到 3.5Gbps ⁽¹⁾	每 lane 最高达到 2.5 Gbps ⁽²⁾	
外部存储器接口	第四代可扩展集成硬存储控制器和 PHY			
	<ul style="list-style-type: none"> 3,200 Mbps DDR4 4,000 Mbps DDR5 4,267 Mbps LPDDR4 4,267 Mbps LPDDR5 	<ul style="list-style-type: none"> 2,667 Mbps DDR4 3,600 Mbps DDR5 3,733 Mbps LPDDR4 3,733 Mbps LPDDR5 	<ul style="list-style-type: none"> 2,400 Mbps DDR4 2,667 Mbps LPDDR4 2,400 Mbps LPDDR5 	
加密	SDM 支持高级加密标准 (AES)			
收发器硬核 IP	<ul style="list-style-type: none"> 一个器件中的多个千兆位以太网 (GbE) 网络接口连接 PCS 和 PCIe 硬核 IP 释放宝贵的内核逻辑资源，不仅节省功效还可提高生产力。 			
	<ul style="list-style-type: none"> 固化的 10 和 25 GbE 介质访问控制 (MAC)、物理编码子层 (PCS) 和前向纠错 (FEC)，以及 IEEE 1588 支持 最高达到 28.1 Gbps 的归零 (NRZ) 最高达到 PCIe 4.0 ×8 	<ul style="list-style-type: none"> 固化的 10 和 25 GbE MAC、PCS 和 FEC 以及 IEEE 1588 支持 最高达到 28.1 Gbps NRZ PCIe 4.0 ×4 	<ul style="list-style-type: none"> 固化的 10 GbE MAC、PCS 和 FEC 以及 IEEE 1588 支持 最高达到 17.16 Gbps NRZ 4 个 PCIe 3.0 	

继续...

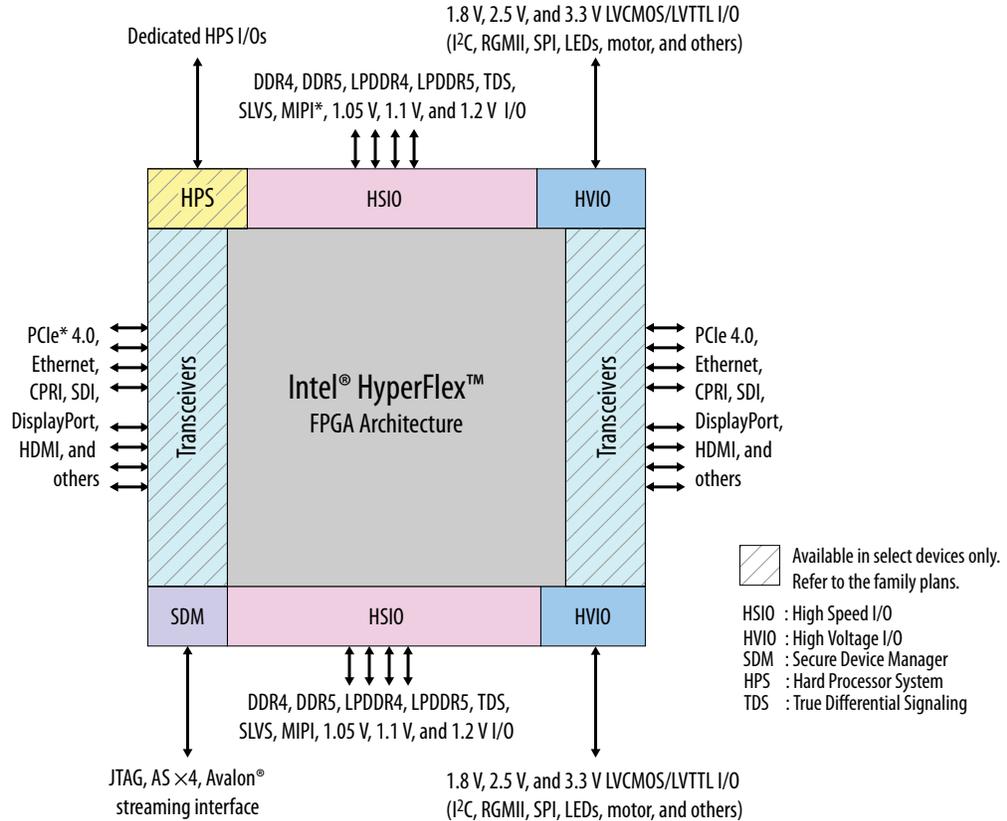
特性与创新	D 系列 FPGA	E 系列 FPGA	
		Device Group A	Device Group B
SDM	专用安全器件管理器 (SDM) : <ul style="list-style-type: none"> • 管理 FPGA 配置过程和所有安全特性 • 执行认证的 FPGA 配置和 HPS 引导 • 支持 FPGA 比特流加密、安全密钥配置和物理不可克隆函数 (PUF) 密钥存储 • 管理运行时的传感器并支持主动篡改检测和响应 • 支持使用安全协议和数据模型 (SPDM) 协议的平台认证 • 提供访问固化加密引擎即服务 		
HPS (仅 SoC)	具有嵌入式多核 Arm 处理器的硬核处理器系统 (HPS): <ul style="list-style-type: none"> • 64-bit Arm Cortex -A76 双核处理器最高达到 1.8 GHz • 64-bit Arm Cortex -A55 双核处理器最高达到 1.5 GHz 		
节省功率	与上一代高性能 FPGA 相比, 一套全面的高级节能特性使功耗最多降低 40%		

(1) 对于标准参考通道, 高达 3.5 Gbps, 对于长参考通道, 高达 2.5 Gbps。

(2) 对于标准参考和长参考通道, 高达 2.5 Gbps。

1.2. 英特尔 Agilex 5 FPGA 和 SoC 结构框图

图 1. 英特尔 Agilex 5 FPGA 和 SoC 结构图



相关链接

英特尔 Agilex 5 FPGA 和 SoC 系列规划 (第 13 页)

1.3. 英特尔 Agilex 5 FPGA 和 SoC 特性汇总

英特尔 Agilex 5 FPGA 和 SoC 共享同一高性能内核架构和常规特性。

表 2. 特性总结

特性	描述
封装	<ul style="list-style-type: none"> 具有相同封装空间布局 (footprint) 的多个器件允许在不同器件密度之间无缝移植 "Balls anywhere"封装设计小外形规格的最小球间距为 0.65 mm, 有助于减少 PCB 的层数。
E 系列	0.5 mm 球间距封装选项针对具有更多 I/O 数量的小外形封装

继续...

特性		描述									
高性能内核架构		<ul style="list-style-type: none"> • 第二代英特尔 Hyperflex 内核架构中，整个互连布线和所有功能模块的输入上都包含超级寄存器 (Hyper-Register) • 增强型自适应逻辑模块 (ALM) • 经改进的多轨布线体系结构可以减少拥塞，并且缩短编译时间 • 层次内核时钟架构以及可编程时钟树综合 • 精细粒度部分重配置 									
内部存储器模块		<ul style="list-style-type: none"> • 多级片上存储器层次结构 • M20K—20 KB 的硬核纠错码 (ECC) 支持 • MLAB — 640 位分布式 LUTRAM 									
可变精度 DSP 模块		<ul style="list-style-type: none"> • 可变精度 DSP 模块中兼容硬核 IEEE 754 的浮点单元，支持： <ul style="list-style-type: none"> — 单精度 FP32 (32 位运算) — 半精度 FP16 (16 位运算) 和 FP19 (19 位运算) 浮点模式 — 张量浮点 FP19 浮点模式 — BFLOAT16 浮点格式 • 高性能 AI 张量块： <ul style="list-style-type: none"> — 实现 FPGA 架构每秒万亿次操作 (TOPS) 的高性能计算密度 — AI 工作负载最高达到 57 INT8 TOPS — 针对 AI 的硬件可编程以及定制工作负载 — 支持来自行业标准框架的“一键式”按钮流程，例如 TensorFlow* 到 FPGA 比特流 • 每个 DSP 模块都支持 INT16 复数乘法模式 • 支持精度范围从 9×9 到 54×54 的信号处理 • 原生 (Native) 27×27、18×19 和 9×9 乘法模式 • 64-bit 累加器和脉动 200 GbE 有限脉冲响应 (FIRs) 级联 • 内部系数存储器 bank • 预加法器/减法器提高了效率 • 2 个附加流水线寄存器提升了性能并且降低了功耗 									
内核时钟网络		<ul style="list-style-type: none"> • 可编程时钟树综合一向后兼容全局、区域和外设时钟网络 • 仅在需要时才合成时钟—最大限度地降低动态功耗 • 800 MHz LVDS 接口时钟—通过与 LVDS、RSDS、mini-LVDS，和 LVPECL 标准兼容的 1.3 V TDS 标准支持 1,600 Mbps LVDS 接口。 <table border="1" data-bbox="568 1228 1404 1396"> <tr> <td>D 系列</td> <td colspan="2">2,000 MHz 外部存储器接口时钟，支持 4000 Mbps DDR5 接口</td> </tr> <tr> <td rowspan="2">E 系列</td> <td>Device Group A</td> <td>1,800 MHz 外部存储器接口时钟，支持 3600 Mbps DDR5 接口</td> </tr> <tr> <td>Device Group B</td> <td>1,200 MHz 外部存储器接口时钟，支持 2400 Mbps DDR4 接口</td> </tr> </table>		D 系列	2,000 MHz 外部存储器接口时钟，支持 4000 Mbps DDR5 接口		E 系列	Device Group A	1,800 MHz 外部存储器接口时钟，支持 3600 Mbps DDR5 接口	Device Group B	1,200 MHz 外部存储器接口时钟，支持 2400 Mbps DDR4 接口
D 系列	2,000 MHz 外部存储器接口时钟，支持 4000 Mbps DDR5 接口										
E 系列	Device Group A	1,800 MHz 外部存储器接口时钟，支持 3600 Mbps DDR5 接口									
	Device Group B	1,200 MHz 外部存储器接口时钟，支持 2400 Mbps DDR4 接口									
通用 I/O	常规	<ul style="list-style-type: none"> • 1.6 Gbps 1.3 V TDS 标准兼容 LVDS、RSDS、mini-LVDS 和 LVPECL 标准 • 1.05 V、1.1 V 和 1.2 V 单端 LVCMOS/LVTTL 对接 • 1.8 V、2.5 V 和 3.3 V 单端 LVCMOS/LVTTL I/O • 片上端接电阻 (OCT) <table border="1" data-bbox="568 1533 1404 1617"> <tr> <td>D 系列</td> <td>超过 400 个 GPIO 可用</td> </tr> <tr> <td>E 系列</td> <td>超过 500 个 GPIO 可用</td> </tr> </table>		D 系列	超过 400 个 GPIO 可用	E 系列	超过 500 个 GPIO 可用				
		D 系列	超过 400 个 GPIO 可用								
	E 系列	超过 500 个 GPIO 可用									
外部存储器接口 (硬核 IP)	D 系列	<ul style="list-style-type: none"> • 2,000 MHz (4,000 Mbps) DDR5 外部存储器接口 • 2,133 MHz (4,267 Mbps) LPDDR5 外部存储器接口 • 1,600 MHz (3,200 Mbps) DDR4 外部存储器接口 • 2,133 MHz (4,267 Mbps) LPDDR4/4X 外部存储器接口 									

继续...

特性		描述					
		E 系列	<table border="1"> <tr> <td>Device Group A</td> <td> <ul style="list-style-type: none"> 1800 MHz (3600 Mbps) DDR5 外部存储器接口 1,867 MHz (3,733 Mbps) LPDDR5 外部存储器接口 1,333 MHz (2,667 Mbps) DDR4 外部存储器接口 1,867 MHz (3,733 Mbps) LPDDR4 外部存储器接口 </td> </tr> <tr> <td>Device Group B</td> <td> <ul style="list-style-type: none"> 1,200 MHz (2,400 Mbps) DDR4 外部存储器接口 1,333 MHz (2,667 Mbps) LPDDR4 外部存储器接口 1,200 MHz (2,400 Mbps) LPDDR5 外部存储器接口 </td> </tr> </table>	Device Group A	<ul style="list-style-type: none"> 1800 MHz (3600 Mbps) DDR5 外部存储器接口 1,867 MHz (3,733 Mbps) LPDDR5 外部存储器接口 1,333 MHz (2,667 Mbps) DDR4 外部存储器接口 1,867 MHz (3,733 Mbps) LPDDR4 外部存储器接口 	Device Group B	<ul style="list-style-type: none"> 1,200 MHz (2,400 Mbps) DDR4 外部存储器接口 1,333 MHz (2,667 Mbps) LPDDR4 外部存储器接口 1,200 MHz (2,400 Mbps) LPDDR5 外部存储器接口
		Device Group A	<ul style="list-style-type: none"> 1800 MHz (3600 Mbps) DDR5 外部存储器接口 1,867 MHz (3,733 Mbps) LPDDR5 外部存储器接口 1,333 MHz (2,667 Mbps) DDR4 外部存储器接口 1,867 MHz (3,733 Mbps) LPDDR4 外部存储器接口 				
	Device Group B	<ul style="list-style-type: none"> 1,200 MHz (2,400 Mbps) DDR4 外部存储器接口 1,333 MHz (2,667 Mbps) LPDDR4 外部存储器接口 1,200 MHz (2,400 Mbps) LPDDR5 外部存储器接口 					
	MIPI	D 系列	MIPI D-PHY v2.5 最高达到 3.5 Gbps ⁽³⁾ /lane				
		E 系列	<table border="1"> <tr> <td>Device Group A</td> <td>MIPI D-PHY v2.5 最高达到 3.5 Gbps ⁽³⁾/lane</td> </tr> <tr> <td>Device Group B</td> <td>MIPI D-PHY v2.5 最高达到 2.5 Gbps ⁽⁴⁾ /lane</td> </tr> </table>	Device Group A	MIPI D-PHY v2.5 最高达到 3.5 Gbps ⁽³⁾ /lane	Device Group B	MIPI D-PHY v2.5 最高达到 2.5 Gbps ⁽⁴⁾ /lane
		Device Group A	MIPI D-PHY v2.5 最高达到 3.5 Gbps ⁽³⁾ /lane				
Device Group B	MIPI D-PHY v2.5 最高达到 2.5 Gbps ⁽⁴⁾ /lane						
锁相环 (PLL)	I/O PLL	<ul style="list-style-type: none"> 与通用 I/O 相邻的整数 PLL 精度频率综合 时钟延迟补偿 零延迟缓冲 支持外部存储器和 LVDS 兼容接口 					
	发送 PLL (TX PLL)	<ul style="list-style-type: none"> 精确小数分频综合 基于 LC tank 的 PLL 超低抖动 支持收发器接口 					
	系统 PLL	<ul style="list-style-type: none"> One System PLL 每收发器 bank 整数模式 精度频率综合 支持收发器到架构 (transceiver-to-fabric) 接口 如果收发器不使用 System PLL, 您可以将其重新用于内核 					
存储控制器支持		每个器件中有多个硬核 IP 例化					
		D 系列	<ul style="list-style-type: none"> DDR4 硬核存储控制器 LPDDR4/4X 硬核存储控制器 DDR5 硬核存储控制器 LPDDR5 硬核存储控制器 				
		E 系列	Device Group A	<ul style="list-style-type: none"> DDR4 硬核存储控制器 LPDDR4 硬核存储控制器 DDR5 硬核存储控制器 LPDDR5 硬核存储控制器 			
			Device Group B	<ul style="list-style-type: none"> DDR4 硬核存储控制器 LPDDR4 硬核存储控制器 LPDDR5 硬核存储控制器 			
		收发器	PCIe	D 系列	PCIe 速率最高达到 PCIe 4.0, 16 Gbps NRZ		
		E 系列	Device Group A PCIe 速率最高达到 PCIe 4.0, 16 Gbps NRZ				

继续...

(3) 对于标准参考通道, 高达 3.5 Gbps, 对于长参考通道, 高达 2.5 Gbps。

(4) 对于标准参考和长参考通道, 高达 2.5 Gbps。

特性		描述				
		Device Group B	PCIe 速率最高达到 PCIe 3.0, 8 Gbps NRZ			
	网络	<ul style="list-style-type: none"> 插入损耗 (Insertion loss) 合规 802.3bj 和 CEI 25G-LR 标准 针对低于 1 Gbps 数据速率的过采样能力 SFP+ 光学模块支持 自适应线性和判决反馈均衡 发送预加重和去加重 单个收发器通道的动态重配置 片上仪器 (英特尔 Quartus Prime Eye Viewer 带有非破坏性眼高和破坏性眼宽裕度) 				
	D 系列	连续操作范围, 1 Gbps 到 28.1 Gbps NRZ				
	E 系列	Device Group A	连续操作范围, 1 Gbps 到 28.1 Gbps NRZ			
		Device Group B	连续操作范围, 1 Gbps 到 17.16 Gbps NRZ			
收发器硬核 IP	PCIe	<ul style="list-style-type: none"> 每个器件中有多个硬核 IP 例化 TLP 旁路特性 单根 I/O 虚拟化 (SR-IOV) 精确时间管理 				
		D 系列	<ul style="list-style-type: none"> 最高 PCIe 4.0 ×8 EP 和 RP 端口分叉支持: 4×8 根端口或端点, 或 (4×4) + (4×4) 根端口或端点 			
		E 系列	<table border="0"> <tr> <td>Device Group A</td> <td> <ul style="list-style-type: none"> 最高达到 PCIe 4.0 ×4 EP 和 RP 6 × 4 端点或根端口 </td> </tr> <tr> <td>Device Group B</td> <td> <ul style="list-style-type: none"> 最高达到 PCIe 3.0 ×4 EP 和 RP 6 × 4 端点或根端口 </td> </tr> </table>	Device Group A	<ul style="list-style-type: none"> 最高达到 PCIe 4.0 ×4 EP 和 RP 6 × 4 端点或根端口 	Device Group B
	Device Group A	<ul style="list-style-type: none"> 最高达到 PCIe 4.0 ×4 EP 和 RP 6 × 4 端点或根端口 				
	Device Group B	<ul style="list-style-type: none"> 最高达到 PCIe 3.0 ×4 EP 和 RP 6 × 4 端点或根端口 				
	其它协议	<ul style="list-style-type: none"> CPRI 和光纤通道 CR/KR (AN/LT) 1588 PTP MAC, PCS 和 FEC 旁路选项 				
		D 系列	以太网 IP 配置: 16× 10 或 25 GbE MAC、PCS 和 FEC			
E 系列		Device Group A	以太网 IP 配置: 6 × 10 或者 25 GbE MAC、PCS 和 FEC			
		Device Group B	以太网 IP 配置: 6 × 10 GbE MAC、PCS 和 FEC			
配置	<ul style="list-style-type: none"> 专用 SDM 软件可编程器件配置 串行闪存接口 通过外部主机的并行闪存进行配置 内核架构的细粒度部分重新配置——在设备运行时添加或删除系统逻辑 收发器和 PLL 的动态重配置 全套安全特性, 包括 AES-256、SHA-256/384 和 ECDSA-256/384 加速器 PUF 服务 平台认证 (Platform Attestation) 防篡改特性 					
	D 系列	Configuration via protocol (CvP) 通过 PCIe 1.0、2.0、3.0 或 4.0				
	E 系列	Device Group A	CvP 通过 PCIe 1.0、2.0、3.0 或者 4.0			

继续..

特性	描述
	Device Group B CvP 通过 PCIe 1.0、2.0 或 3.0
功能安全	<ul style="list-style-type: none"> 功能安全数据包 (FSDP) 经改进的 FPGA 诊断方法使得能够在高安全性 (safety-critical) 应用中使用 英特尔 Agilex 5 FPGA
软件和工具	<ul style="list-style-type: none"> 英特尔 Quartus Prime Pro Edition 设计套件, 包含新的编译器和 Hyper-Aware 设置流程 每次英特尔 oneAPI 发布中新的编译创新 收发器工具包 Platform Designer IP 集成工具 用于英特尔 FPGA 高级模块组的英特尔 DSP Builder Arm Development Studio for Intel® SoC FPGA (Arm DS for Intel SoC FPGA)

1.4. 英特尔 Agilex 5 SoC 的附加功能

除了 英特尔 Agilex 5FPGA 和 SoC 的常规功能特性, 英特尔 Agilex 5 SoC 还提供额外功能。

表 3. 特定于 英特尔 Agilex 5 SoC 的功能

SoC 子系统	功能特性	描述
HPS	多处理器单元内核	<ul style="list-style-type: none"> 多核 Arm 处理器, 包括 Arm Cortex -A76 MPCore* 双核和 Arm Cortex -A55 MPCore 双核处理器, 以及 Arm CoreSight* 调试和跟踪技术 标量浮点单元支持单精度和双精度 处理器都使用 Arm Neon* 技术介质处理引擎
	系统控制器	<ul style="list-style-type: none"> 系统存储器管理单元(SMMU) 高速缓存一致性单元(CCU)
	高速缓存(Cache)	<ul style="list-style-type: none"> Arm Cortex -A76: <ul style="list-style-type: none"> Level 1 缓存/内核: <ul style="list-style-type: none"> 64 kilobytes (KB) L1 指令缓存有奇偶校验 64 KB L1 数据缓存有 ECC 共享 L2 缓存: 256 KB L2 缓存有 ECC Arm Cortex -A55: <ul style="list-style-type: none"> Level 1 缓存/内核: <ul style="list-style-type: none"> 32 KBL1 指令缓存有奇偶校验 32 KBL1 数据缓存有 ECC 共享 level 2 缓存: 128 KBL2 缓存有 ECC 共享 level 3 缓存: 2 兆字节 (MB) L3 缓存
	片上存储器	512 KB 片上 RAM
	直接存储器访问 (DMA)	八通道 DMA 控制器
	以太网 XGMAC (TSN)	<ul style="list-style-type: none"> 三个具有集成 DMA 和时间敏感网络 (TSN) 支持的 10 Mbps/100 Mbps/1 Gbps/2.5 Gbps 以太网 XGMAC 1 Gbps 和 2.5 Gbps (2.5 Gbps 需要软路径到收发器)
	USB	<ul style="list-style-type: none"> 一个包含 DMA 的 USB 2.0 On-the-Go (OTG) 一个 USB 3.1 Gen 1
	UART	两个 UART 16550 兼容控制器
	串行外设接口 (SPI) 控制器	四个 SPI (两个主接口, 两个从接口)

继续...

SoC 子系统	功能特性	描述
	I ² C	五个 I ² C 控制器
	I ³ C	两个 I ³ C 控制器
	SD/SDIO/MMC 控制器	<ul style="list-style-type: none"> 高达 5.1 版本的 SD/eMMC 器件 高达 6.1 版本的 SD 器件 高达 4.1 版本的 SDIO 器件
	NAND 闪存控制器	<ul style="list-style-type: none"> 一个 ONFI 1.x、2.x、3.x 和 4.x 8 位和 16 位支持 兼容 Toggle 1.x 和 2.x 规范
	GPIO	最多 48 个软件可编程 GPIO
	计时器	<ul style="list-style-type: none"> 四个通用计时器 五个看门狗定时器
SDM		<ul style="list-style-type: none"> 安全引导 AES 加密 安全哈希算法 (SHA) 和椭圆曲线数字签名算法 (ECDSA) 身份验证
外部存储器接口		硬核存储控制器: <ul style="list-style-type: none"> D 系列—DDR4、DDR5、LPDDR4 和 LPDDR5 E 系列: <ul style="list-style-type: none"> Device Group A—DDR4、DDR5、LPDDR4 和 LPDDR5 Device Group B—DDR4、LPDDR4 和 LPDDR5



2. 英特尔 Agilex 5 FPGA 和 SoC 系列规划

英特尔 Agilex 5 FPGA 和 SoC 可作为具有不同功能的 D 系列和 E 系列 FPGA 满足您的各种应用要求。

注意:

- 以下表格中是产品的初步信息，可能随着产品的变化而改变。
- 资源数量因封装选项而异。
- 性能规格因速度等级而异。
- HPS 和收发器仅适用于特定的订购部件号。

相关链接

[英特尔 Agilex 5 FPGA 和 SoC 系列规划 \(第 13 页\)](#)

2.1. 英特尔 Agilex 5 FPGA 和 SoC D 系列

表 4. D 系列 FPGA 家族规划——内核特性

此表中为资源/性能的最大值。

器件	逻辑单元	M20K		MLAB		DSP	
		数量	容量(Mb)	数量	容量(Mb)	18×19 乘法器	峰值 INT8 (TOPS ⁽⁵⁾)
A5D,010	103,250	534	10.43	1,780	1.09	552	8.48
A5D 025	254,054	1,281	25.02	3,420	2.09	1,472	22.61
A5D 031	318,600	1,602	31.29	5,400	3.30	1,840	28.26
A5D 051	515,070	2,563	50.06	8,440	5.15	2,944	45.22
A5D 064	644,280	3,204	62.58	10,920	6.67	3,680	56.22

(5) 每秒万亿次操作

表 5. D 系列 FPGA 家族规划—I/O 和接口

此表中为资源/性能的最大值。

器件	HVIO (1.8 V - 3.3 V)	HSIO (1.05 V - 1.3 V)	PLL 数量		1.3 V LVDS 对 速率为 1.6 Gbps	外部存储器接口		MIPI D-PHY 接口
			I/O PLL	架构提供的 I/O PLL ⁽⁶⁾		DDR4 (×64)	DDR4, DDR5, LPDDR4, LPDDR5 (×32)	
A5D 010	60	384	8	11	192	2	4	28
A5D 025	60	384	8	11	192	2	4	28
A5D 031	60	384	8	11	192	2	4	28
A5D 051	60	384	8	13	192	2	4	28
A5D 064	60	384	8	13	192	2	4	28

表 6. D 系列 FPGA 家庭规划—收发器和 HPS

此表中为资源/性能的最大值。

器件	收发器 28.1 Gbps 最 大速率	PCIe 4.0 实例		10/25 Gigabit 以太网 (MAC & PCS)	HPS	
		×4	×8		处理器	高速缓存大小
A5D 010	16	4	2	8	<ul style="list-style-type: none"> Arm Cortex -A76 双核 处理器最高达到 1.8 GHz Arm Cortex -A55 双核 处理器最高达到 1.5 GHz 	<ul style="list-style-type: none"> 共享: 2 MB L3 Cortex -A76: — 64 KB L1 — 256 KB L2 Cortex -A55: — 32 KB L1 — 128 KB L2
A5D 025	16	4	2	8		
A5D 031	16	4	2	8		
A5D 051	24	6	3	12		
A5D 064	32	8	4	16		

相关链接

[英特尔 Agilex 5 FPGA 和 SoC 的 Balls Anywhere 封装设计 \(第 40 页\)](#)

2.2. 英特尔 Agilex 5 FPGA 和 SoC E 系列

表 7. E 系列 FPGA 家族规划—内核特性

此表中为资源/性能的最大值。

器件组别	器件	逻辑单元	M20K		MLAB		DSP	
			数量	容量 (Mb)	数量	容量 (Mb)	18×19 乘法器	峰值 INT8 (TOPS ⁽⁷⁾)
Device Group A	A5E 013A	138,060	358	6.99	2,340	1.43	376	5.78
	A5E 028A	282,256	716	13.98	4,784	2.92	752	11.55

继续...

(6) 架构提供的 I/O PLL 数量包括收发器 bank 中的 System PLL。如果您不将 System PLL 用于收发器，那么您可以将 System PLL 用于内核架构。

(7) 每秒万亿次操作

器件组别	器件	逻辑单元	M20K		MLAB		DSP	
			数量	容量 (Mb)	数量	容量 (Mb)	18x19 乘法器	峰值 INT8 (TOPS ⁽⁷⁾)
	A5E 043A	434,240	1,050	20.51	6,720	4.10	1,128	17.33
	A5E 052A	523,920	1,288	25.16	8,440	5.15	1,352	20.78
	A5E 065A	656,080	1,611	31.46	11,120	6.79	1,692	25.99
Device Group B	A5E 005B	50,445	130	2.54	850	0.52	130	1.70
	A5E 007B	69,030	179	3.50	1,170	0.71	188	2.46
	A5E 008B	85,196	229	4.47	1,780	1.09	232	3.05
	A5E 013B	138,060	358	6.99	2,340	1.43	376	4.93
	A5E 028B	282,256	716	13.98	4,784	2.92	752	9.85
	A5E 043B	434,240	1,050	20.51	6,720	4.10	1,128	14.46
	A5E 052B	523,920	1,288	25.16	8,440	5.15	1,352	17.72
A5E 065B	656,080	1,611	31.46	11,120	6.79	1,692	22.17	

表 8. E 系列 FPGA 家族规划—I/O 和接口

此表中为资源/性能的最大值。

器件组别	器件	HVIO (1.8 V - 3.3 V)	HSIO (1.05 V - 1.3 V)	PLL 数量		1.3 VLVDS 对 速率为 1.6 Gbps	DDR4, DDR5 ⁽⁸⁾ 、 LPDDR4 、 LPDDR5 接口 (x32)	MIPI D-PHY 接口
				I/O PLL	Fabric-Feeding I/O PLL ⁽⁹⁾			
Device Group A	A5E 013A	200	192	4	8	96	2	14
	A5E 028A	200	192	4	10	96	2	14
	A5E 043A	120	384	8	11	192	4	28
	A5E 065A	120	384	8	13	192	4	28
	A5E 052A	120	384	8	13	192	4	28
Device Group B	A5E 005B	160	96	2	5	48	1	7
	A5E 007B	160	96	2	5	48	1	7
	A5E 008B	200	192	4	8	96	2	14
	A5E 013B	200	192	4	8	96	2	14
	A5E 028B	200	192	4	10	96	2	14

继续...

(7) 每秒万亿次操作

(8) 仅适用于 E 系列 Device Group A FPGA。

(9) 该 fabric-feeding I/O PLL 个数包含收发器 bank 中的 System PLL。如果您不打算将 System PLL 用于收发器，则可以将其用于内核架构用途。

器件组别	器件	HVIO (1.8 V - 3.3 V)	HSIO (1.05 V - 1.3 V)	PLL 数量		1.3 VLVDS 对 速率为 1.6 Gbps	DDR4, DDR5 ⁽⁸⁾ 、 LPDDR4 、 LPDDR5 接口 (×32)	MIPI D-PHY 接口
				I/O PLL	Fabric- Feeding I/O PLL ⁽⁹⁾			
	A5E 043B	120	384	8	11	192	4	28
	A5E 052B	120	384	8	13	192	4	28
	A5E 065B	120	384	8	13	192	4	28

表 9. E 系列 FPGA 家族规划—收发器和 HPS

此表中为资源\性能的最大值。

器件组别	器件	收发器 (10)	PCIe ⁽¹¹⁾ ×4	千兆以太网 ⁽¹²⁾ (MAC & PCS)	HPS	
					处理器	高速缓存大小
Device Group A	A5E 013A	4	1	1	<ul style="list-style-type: none"> • Arm Cortex -A76 双核 处理器最高达到 1.6 GHz • Arm Cortex -A55 双核 处理器最高达到 1.33 GHz 	<ul style="list-style-type: none"> • 共享: 2 MB L3 • Cortex -A76: — 64 KB L1 — 256 KB L2 • Cortex -A55: — 32 KB L1 — 128 KB L2
	A5E 028A	12	3	3		
	A5E 052A	24	6	4		
	A5E 065A	24	6	6		
	A5E 043A	16	4	4		
Device Group B	A5E 005B	—	—	—	—	—
	A5E 007B	—	—	—	—	—
	A5E 008B	4	1	1	<ul style="list-style-type: none"> • Arm Cortex -A76 双核 处理器最高达到 1.6 GHz • Arm Cortex -A55 双核 处理器最高达到 1.33 GHz 	<ul style="list-style-type: none"> • 共享: 2 MB L3 • Cortex -A76: — 64 KB L1 — 256 KB L2 • Cortex -A55: — 32 KB L1 — 128 KB L2
	A5E 013B	4	1	1		
	A5E 028B	12	3	3		
	A5E 043B	16	4	4		
	A5E 052B	24	6	6		
A5E 065B	24	6	6			

(8) 仅适用于 E 系列 Device Group A FPGA。

(9) 该 fabric-feeding I/O PLL 个数包含收发器 bank 中的 System PLL。如果您不打算将 System PLL 用于收发器，则可以将其用于内核架构用途。

(10) E 系列 Device Group A FPGA: 最大速率 28.1 Gbps。E 系列 Device Group B FPGA: 最大速率 17.16 Gbps。

(11) E 系列 Device Group A FPGA: PCIe 4.0。E 系列 Device Group B FPGA: PCIe 3.0。

(12) E 系列 Device Group A FPGA: 10/25 GbE。E 系列 Device Group B FPGA: 10 GbE。

2.3. 英特尔 Agilex 5 FPGA 和 SoC 封装选项

图 2. 封装选项、移植和 I/O 管脚

- 箭头表示封装移植路径。阴影部分代表包含在每条移植路径中的器件。
- 要实现相同移植路径中不同产品系列之间的完全 I/O 移植，需要限制 I/O 和收发器的使用，以匹配具有最低 I/O 和收发器数的器件。
- 有关条件移植路径的更多信息，请参阅 [英特尔 Agilex 5 器件移植指南 \(13\)](#) 应用笔记。

Series	Device	Package					
		Ball Pitch: 0.5 mm Grid Array Pattern: Standard MBGA: Micro FineLine BGA		Minimum Ball Pitch: 0.65 mm Grid Array Pattern: Balls Anywhere BBGA: Balls Anywhere BGA			
		M16A 896-pin MBGA 16 mm × 16 mm	B15A 324-pin BBGA 15 mm × 15 mm	B23B 820-pin BBGA 23 mm × 23 mm	B23A 820-pin BBGA 23 mm × 23 mm	B32A 1596-pin BBGA 32 mm × 32 mm	
D-Series	ASD 010				60 / 192 / 96 / 8	60 / 384 / 192 / 16	
	ASD 025				60 / 192 / 96 / 8	60 / 384 / 192 / 16	
	ASD 031				60 / 192 / 96 / 8	60 / 384 / 192 / 16	
	ASD 051					60 / 384 / 192 / 24	
	ASD 064					60 / 384 / 192 / 32	
E-Series	Device Group A	A5E 013A					200 / 192 / 96 / 4
		A5E 028A					200 / 192 / 96 / 12
		A5E 043A					120 / 384 / 192 / 16
		A5E 052A					120 / 384 / 192 / 24
		A5E 065A					120 / 384 / 192 / 24
	Device Group B	A5E 005B		80 / 62 / 31 / 0	160 / 96 / 48 / 0		
		A5E 007B		80 / 62 / 31 / 0	160 / 96 / 48 / 0		
		A5E 008B	40 / 192 / 96 / 4		160 / 192 / 96 / 0	120 / 96 / 48 / 4	200 / 192 / 96 / 4
		A5E 013B	40 / 192 / 96 / 4		160 / 192 / 96 / 0	120 / 96 / 48 / 4	200 / 192 / 96 / 4
		A5E 028B	40 / 192 / 96 / 8		160 / 192 / 96 / 0	120 / 96 / 48 / 12	200 / 192 / 96 / 12
		A5E 043B				120 / 96 / 48 / 12	120 / 384 / 192 / 16
		A5E 052B				120 / 96 / 48 / 12	120 / 384 / 192 / 24
		A5E 065B				120 / 96 / 48 / 12	120 / 384 / 192 / 24

↑ ↓ Conditional pin migration path

(13) 器件移植指南应用笔记将于 2023 年第二季度发布。

3. 第二代英特尔 Hyperflex 内核架构

英特尔 Agilex 5 FPGA 和 SoC 基于一个具有第二代英特尔 Hyperflex 内核架构特性的内核结构。

表 10. 英特尔 Hyperflex 内核架构的优势

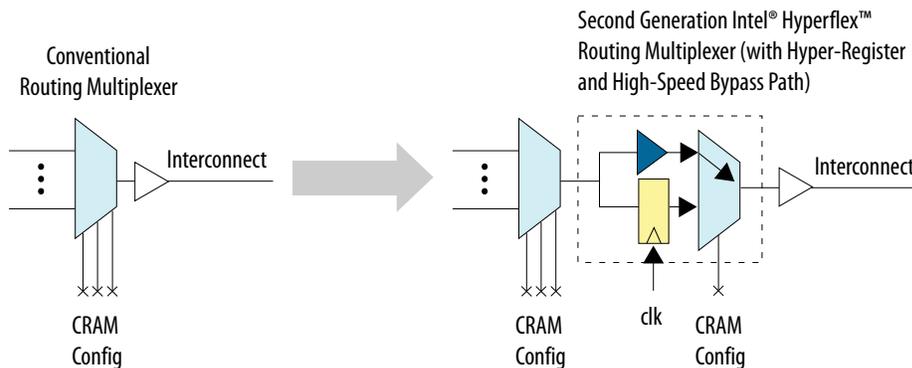
下表列出了英特尔 Hyperflex 内核架构的一些优势。

优势	描述
更高的吞吐量	在上一代高端 FPGA 的设计中，实现了平均 50% 更高的内核时钟频率性能，并取得吞吐量方面的
提高了电源效率	利用缩小的 IP 尺寸，将以前跨越多个器件的设计整合到一个器件中。与英特尔 Stratix® 10 FPGAs 相比，这种整合可减少 42% 的功耗需求。
更强的设计功能性	使用更快的时钟频率来减少总线宽度和缩小 IP 尺寸。减少的总线宽度和 IP 尺寸可释放额外的 FPGA 资源，以添加更强大的功能性。
提升设计人员的生产力	通过使用 Hyper-Aware 设计工具来减少布线拥塞和设计迭代，从而实现性能上的提升，同时获得更大的时序裕量用于更快速的时序收敛。

除了传统的 ALM 用户寄存器，英特尔 Hyperflex 内核架构还添加了称为 Hyper-Registers 的可旁路寄存器：

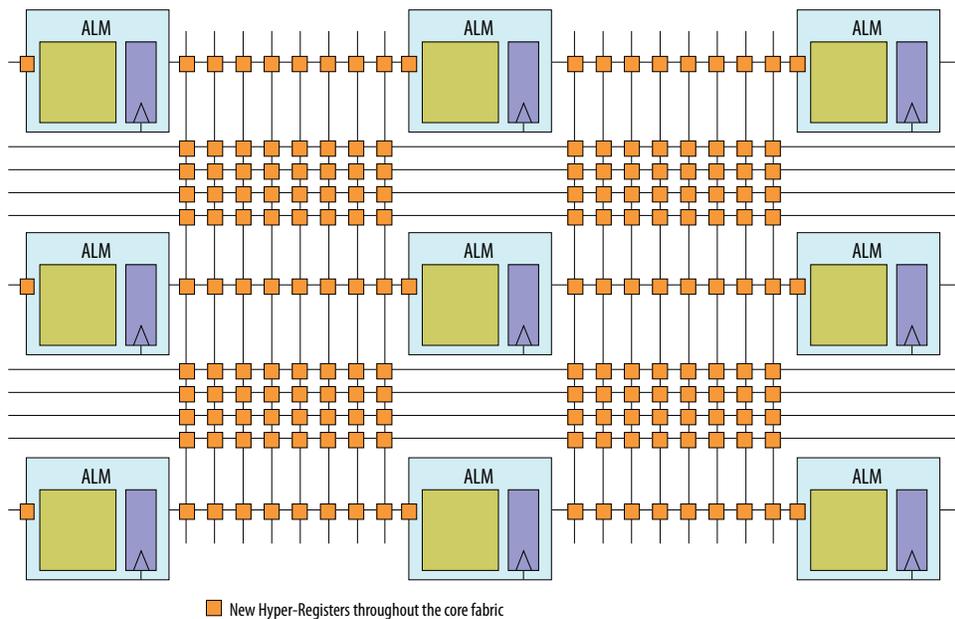
- 分布在整个 FPGA 架构中。
- 在每个互连布线段和所有功能模块的输入端都有该寄存器。

图 3. 可旁路的超级寄存器 (Hyper-Register)



在第二代英特尔 Hyperflex 内核架构中，英特尔优化了寄存器的数量，以改善时序收敛时间和提高架构面积利用率。

图 4. 英特尔 Hyperflex 内核架构



Hyper-Register 使您能够使用关键设计技术来实现内核性能上的提升。如果您采用了这些设计技术，Hyper-Aware 设计工具会自动利用 Hyper-Register 达到最大的内核时钟频率：

- 精细粒度的 Hyper-Retiming 可消除关键路径
- 零延迟超级流水线（Zero-latency Hyper-Pipelining）可消除布线延迟
- 灵活的 Hyper-Optimization 可实现同类型产品中的最佳性能

4. 英特尔 Agilex 5 FPGA 和 SoC 中的自适应逻辑模块

英特尔 Agilex 5 FPGA 和 SoC 使用一个与上一代英特尔 FPGA（例如英特尔 Arria 10 和英特尔 Stratix 10 FPGA）类似的增强型自适应逻辑模块（ALM）。这种增强型 ALM 支持逻辑功能的高效实现，并且能轻松实现 英特尔 Agilex 5 FPGA 与英特尔 Arria 10 和英特尔 Stratix 10 FPGA 之间的 IP 转换。

图 5. ALM 结构图

下图显示了包含 8 输入分段式查找表(LUT)，两个专用嵌入式加法器和四个专用寄存器的 ALM。

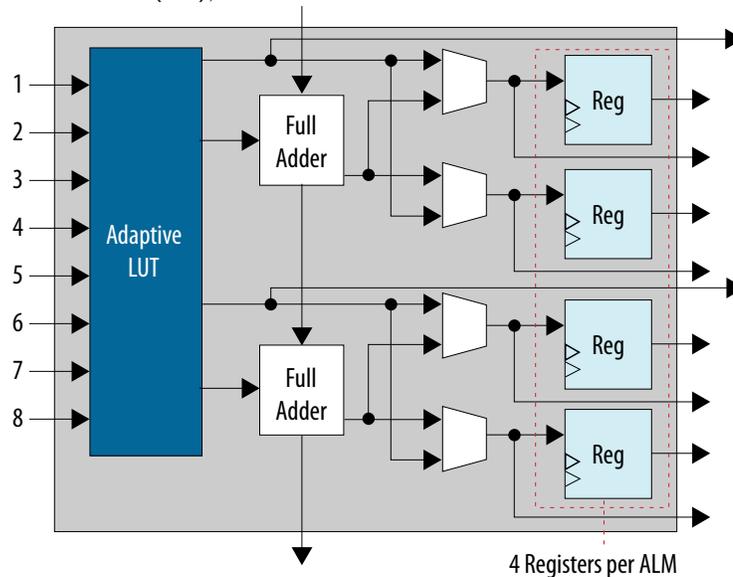


表 11. ALM 的主要特性和功能

主要特性	功能
高寄存器数	与第二代英特尔 Hyperflex 架构一起，每个 8 输入分段式 LUT 的四个寄存器以非常高的内核逻辑利用率实现了内核性能的最大化。
ALM 操作模式	通过实现一个扩展的 7 输入逻辑功能，单个 6 输入逻辑功能或两个较小的独立功能(例如，两个 4 输入功能)来优化内核逻辑利用率。
两个时钟源	每个 ALM 的两个时钟源可生成两个正常时钟和两个延迟时钟来驱动 ALM 寄存器，从而产生更多的时钟域和时间借用能力。
额外的 LUT 输出	用于组合功能的额外快速 6-LUT 和 5-LUT 输出改进了逻辑级联的关键路径。
改进的寄存器封装	改进的寄存器封装(包括带两个封装的寄存器路径的 5 输入 LUT)使架构面积得到了更有效的利用并使关键路径得到了改进。
锁存模式支持	ALM 支持地址锁存使能中的锁存模式。

英特尔 Quartus Prime 软件利用 ALM 逻辑结构来实现最高的性能，最佳的逻辑利用率和最少的编译次数。由于英特尔 Quartus Prime 软件会自动将传统的旧设计映射到 英特尔 Agilex 5 FPGA 和 SoC 的 ALM 架构中，因此该软件可简化设计的重复使用。



5. 英特尔 Agilex 5 FPGA 和 SoC 中的内嵌式存储器

英特尔 Agilex 5 FPGA 和 SoC 中的嵌入式存储器模块类似于上一代英特尔 FPGA 的嵌入式存储器。

表 12. 英特尔 Agilex 5 FPGA 和 SoC 的嵌入式存储器模块类型和特性

功能特性	MLAB	M20K
用途	用于宽和浅的存储器配置	支持更大的存储器配置
模块大小	640 位	20 千位
配置	<ul style="list-style-type: none"> 64×10 (仿真) 32×20 	<ul style="list-style-type: none"> 2,048×10 (或 ×8) 1,024×20 (或 ×16) 512×40 (或 ×32)
硬核 ECC	—	Yes
模式	单端口 RAM、双端口 RAM、FIFO、ROM 和移位寄存器	

6. 英特尔 Agilex 5 FPGA 和 SoC 中的可变精度 DSP

英特尔 Agilex 5 FPGA 和 SoC 是第一款采用 AI 张量块的 midrange or edge-centric FPGA，成为边缘 AI 应用的理想选择。

对于单个 DSP 模块中的 INT8 操作，英特尔 Agilex 5 FPGA 和 SoC 提高了理论峰值 TOPS：

- D 系列—最高达到英特尔 Stratix 10 FPGA 的 2.5 倍
- E 系列—最高达到 Cyclone® V FPGA 的 37 倍

通过大幅度增加运算密度⁽¹⁴⁾，英特尔 Agilex 5 FPGA 和 SoC 能够在在一个标准 DSP 模块的同一空间布局置入更多乘法器和累加器。

Intel FPGA AI Suite (Intel FPGA AI) 支持新的 AI 特性。Intel FPGA AI Suite 启用“一键式”流程从工业标准框架—例如 Caffe，PyTorch* 和 TensorFlow—到 FPGA 比特流。

此外，英特尔 Agilex 5 FPGA 和 SoC 还从上一代英特尔 FPGA 承袭了可变精度 DSP 架构以及硬定点和 IEEE 754 合规浮点计算能力。

在定点模式下，通过配置 DSP 模块可以支持精度从 9×9 到 54×54 的信号处理：

- 增加了 9×9 乘法器的数量，每个 18×19 乘法器对应有三个 9×9 乘法器
- 流水线寄存器增加了 DSP 模块最大操作频率并降低了功耗
- 通过 scanin 和 chainout 信号动态地切换乘法器输入
- 将每个 DSP 块单独编译成 4 个 9×9，2 个 18×19 或者 1 个 27×27 乘加器。

精度可调 DSP 支持浮点加法、乘法、乘加和乘法累加：

- 单精度 32 位算术 FP32 浮点模式
- 半精度 16 位算术 FP16 和 FP19 浮点模式以及 BFLOAT16 浮点格式

通过使用一条专用的 64 位级联总线，您可以级联多个可变精度 DSP 模块来有效地实现更高精度的 DSP 功能。

表 13. 英特尔 Agilex 5 FPGA 和 SoC 中的精度可调 DSP 模块配置

本表列出了英特尔 Agilex 5 FPGA 和 SoC 在一个 DSP 模块中，或者通过使用多个 DSP 模块来适应不同精度的方式。

乘法器	DSP 模块资源使用	预期的应用
9×9 bits	一个精度可调 DSP 模块的六分之一 (一个 DSP 模块可支持六个 9×9)	低精度定点
18×19 bits	一个精度可调 DSP 模块的二分之一	中等精度定点
<i>继续..</i>		

(14) 运算密度是衡量任意给定工艺节点上 1 mm² 硅晶中容纳的向量点积量。

乘法器	DSP 模块资源使用	预期的应用
27×27 bits	一个精度可调 DSP 模块	高精度定点
19×36 bits	一个带有外部加法器的精度可调 DSP 模块	定点快速傅里叶变换(FFT)
36×36 bits	两个带有外部加法器的精度可调 DSP 模块	超高精度定点
54×54 bits	四个带有外部加法器的精度可调 DSP 模块	双精度定点
半精度浮点	一个精度可调 DSP 模块 (包含带一个累加器的两个 FP16, FP19 或 BFLOAT16 乘法器的加法器)	半精度浮点
单精度浮点	一个精度可调 DSP 模块 (包含带一个累加器的 FP32 乘法器)	单精度浮点
AI 张量模块	十个 INT8×INT8 乘法器张量固定和浮点计算的两个总和	10 单元矢量计算的张量点积
复合乘法模式	一个精度可调 DSP 模块 (16×16 ± 16×16)	INT16 复合乘法

7. 英特尔 Agilex 5 FPGA 和 SoC 中的内核时钟网络

英特尔 Agilex 5 FPGA 和 SoC 使用可编程的时钟树综合来实现其内核时钟功能。

可编程的时钟树综合使用专用时钟树布线和开关电路。这些专用的电路使英特尔 Quartus Prime 软件能够创建您设计所要求的确切时钟树。

使用可编程时钟树综合的优点：

- 最小化时钟树插入延迟
- 降低时钟树中的动态功耗
- 支持内核中时钟的更大灵活性
- 保持与传统的全局和区域时钟方案的向后兼容性

英特尔 Agilex 5 FPGA 和 SoC 内核时钟网络的特性：

- 支持第二代英特尔 Hyperflex 内核架构
- 支持硬核存储控制器⁽¹⁵⁾ 用于：
 - DDR4—最高达到 3,200 Mbps
 - DDR5—最高达到 4,000 Mbps
 - LPDDR4—最高达到 4,267 Mbps
 - LPDDR5—高达 4,267 Mbps
- 由专用时钟输入管脚和整数 I/O PLL 支持

相关链接

- [英特尔 Agilex 5 FPGA 和 SoC 中的主要功能和创新 \(第 5 页\)](#)
- [英特尔 Agilex 5 FPGA 和 SoC 特性汇总 \(第 7 页\)](#)

(15) 每个 英特尔 Agilex 5 FPGA 系列具有不同的硬存储控制器支持。有关详细信息，请参阅相关信息。



8. 英特尔 Agilex 5 FPGA 和 SoC 中的通用 I/O

英特尔 Agilex 5 FPGA 和 SoC 配备两种类型的通用 I/O——高速 I/O (HSIO) 和高压 I/O (HVIO)。HSIO 和 HVIO 都启用对 英特尔 Agilex 5 FPGA 和 SoC 中边缘应用的重要支持

表 14. I/O 标准支持和性能

I/O 类型	每 bank 的 I/O 数量	I/O 标准	规范	注释
HSIO	96 ⁽¹⁶⁾	LVC MOS	1.05 V、1.1 V 和 1.2 V 单端	—
		TDS	<ul style="list-style-type: none"> 1.3 V 最高达到 1.6 Gbps 	适用于 LVDS SERDES Intel FPGA IP
		MIPI D-PHY	<ul style="list-style-type: none"> 版本 2.5 最高达到 3.5 Gbps ⁽¹⁷⁾ (高速和低功耗模式) 	最多支持八个数据通道: <ul style="list-style-type: none"> 1D+C 2D+C 4D+C 8D+C
		SGMII (TDS)	最高达到 1.25 Gbps	如果需要, 请添加 AC 耦合
HVIO	20	LVC MOS/ LV TTL	<ul style="list-style-type: none"> 1.8 V 单端 0.250 Gbps (125 MHz DDR) 	1.8 V 上的 RGMII 支持
			<ul style="list-style-type: none"> 2.5 V/3.3 V 单端 0.200 Gbps (100 MHz DDR) 	

⁽¹⁶⁾ 每个 HSIO bank 中有两个子 bank。每个子 bank 都由其 V_{CCIO} 供电。

⁽¹⁷⁾ 对于标准参考通道, 高达 3.5 Gbps, 对于长参考通道, 高达 2.5 Gbps。



9. 英特尔 Agilex 5 FPGA 和 SoC 中的 I/O PLL

英特尔 Agilex 5 FPGA 和 SoC 的 I/O bank 包含 I/O 接口连接或架构时钟中使用的 I/O PLL。

表 15. 不同 I/O Bank 类型中的 I/O PLL

I/O Bank 类型	Bank I/O PLL	Fabric-Feeding I/O PLL
HSIO (96 个 I/O)	2	1
HVIO (2×20 个 I/O)	—	1

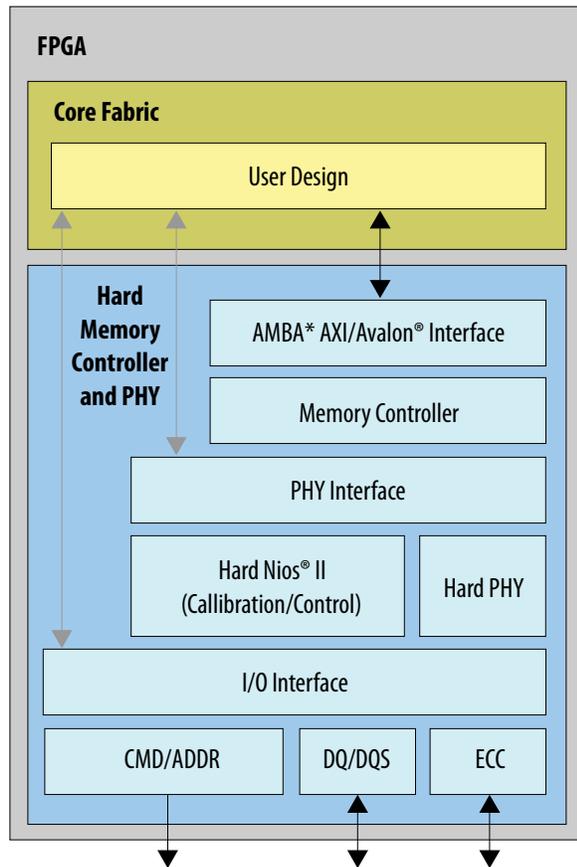
您可以将 I/O PLL 用于内核架构中的通用应用，例如，时钟网络延迟补偿或零延迟缓冲。

I/O PLL 与 I/O bank 中的硬核存储控制器和 LVDS 串行器/解串器(SERDES)模块相邻。这种布局使 PLL 与需要它们的 I/O 之间形成了一种紧密的耦合。该架构简化了外部存储器和高速 LVDS 接口的设计，并且促进了时序收敛。

10. 英特尔 Agilex 5 FPGA 和 SoC 中的外部存储器接口

英特尔 Agilex 5 FPGA 和 SoC 具有实质性高带宽的外部存储器。随着带宽的加高，高性能硬核存储控制器也具备设计简单、功耗低和资源效率高的特点。通过使用硬核或软核存储控制器，您可以配置最大 72 位的外部存储器接口宽度。

图 6. 硬核存储控制器



每个 I/O bank 包含 96 个通用 I/O 和两个高效硬核存储控制器。硬核存储控制器支持各种存储器类型，每种存储器类型都具有不同的性能。您可以绕过硬核存储控制器并在用户逻辑中实现一个软核存储控制器。

每个 I/O 都包含一个硬 DDR 读写路径 (PHY)，能够执行关键存储器接口功能，例如：

- 读和写矫平 (leveling)
- FIFO 缓冲，以缩短延迟并提高裕量
- 时序校准
- 片上匹配电阻

硬核微控制器有助于时序校准。英特尔通过自定义这些硬核微控制器来控制多个存储器接口的校准。该校准使 英特尔 Agilex 5 器件能够对 英特尔 Agilex 5 器件内或者外部存储器器件中的工艺、电压和温度 (PVT) 的变化进行补偿。这种高级的校准算法可确保了所有操作条件下的最大带宽和强健的时序裕量。

10.1. 外部存储器接口性能

表 16. D 系列 FPGA 外部存储器接口性能

接口协议	存储控制器	接口性能 (Mbps)	最大宽度 (bit)
DDR4	硬核	3,200	72
DDR5	硬核	4,000	40
LPDDR4/4X	硬核	4,267	32
LPDDR5	硬核	4,267	32

表 17. E 系列 FPGA 外部存储器接口性能

接口协议	存储控制器	接口性能 (Mbps)		最大宽度 (bit)
		Device Group A	Device Group B	
DDR4	硬核	2,667	2,400	72
DDR5	硬核	3,600	—	40
LPDDR4	硬核	3,733	2,667	32
LPDDR5	硬核	3,733	2,400	32

10.2. 硬核储存控制器的特性

表 18. 硬核储存控制器的特性

特性	描述
协议	<ul style="list-style-type: none"> • LPDDR5—两个动态频率缩放(DFS)频率 • DDR4 和 DDR5—最多两个芯片选择和最多两个 3D 堆栈
接口	<ul style="list-style-type: none"> • 对接控制器的完全流水线式命令、读和写数据接口 • 包括 AIX 排序规则的 Arm AMBA* 4 AXI 合规性： <ul style="list-style-type: none"> — 四个优先服务质量(QoS)级别 — 可编程的地址映射 — 专属监控器

继续..

特性	描述
调度(scheduling)	<ul style="list-style-type: none"> 对单个 SDRAM 突发进行软件可配置的优先级调度 用于实现高存储器吞吐量的高级 bank 前瞻(look-ahead)功能 可配置成以下其中一个布局顺序： <ul style="list-style-type: none"> 写操作的无序布局 从同一端口进行写操作的有序布局 从同一 AXI 主接口进行写操作的有序布局 可配置读和写的有序调度 支持读或写分组
时序(timing)	对所有 JEDEC* 特定的时序参数的完全可编程的时序参数支持
刷新(refresh)	<ul style="list-style-type: none"> 所有 bank 的刷新或者每个 bank 的刷新 (如果被存储器支持) DDR5 的刷新管理
ECC	<ul style="list-style-type: none"> 纠错码(ECC)支持, 包括计算、纠错、回写校正和错误计数器 硬化的 ECC 支持, 包括各种 ECC 类型 (可编程的单个位和双位错误报告与自动纠正) 的配置: <ul style="list-style-type: none"> 在线 ECC、带外 ECC、链路 ECC、端到端 (用户) ECC 或者无 ECC 支持标准单个位错误纠正和双位错误检测 支持每 64 位数据 8 位 ECC 的架构 ECC 的 ECC 直通 支持擦拭 (scrubbing)
电源状态	低功耗 DRAM 状态包括 DRAM 的主动断电, 预充电断电和自刷新断电状态: <ul style="list-style-type: none"> 受寄存器控制; 或者 基于空闲次数
训练(training)	初始和定期的 ZQ 校准(LPDDR4, LPDDR5, DDR5)
验证	<ul style="list-style-type: none"> 性能监控统计 通过寄存器控制对 DDR 存储器进行存储器测试

11. 英特尔 Agilex 5 SoC 中的硬核处理器系统

英特尔 Agilex 5 SoC 硬核处理器系统 (HPS) 由多核 Arm 处理器组成, 其中包含一个 Arm Cortex -A76 双核和一个 Arm Cortex -A55 双核处理器。此外, HPS 还添加了一个系统存储器管理单元, 可用于实现系统范畴的硬件虚拟化。

随着 HPS 架构的改进, 英特尔 Agilex 5 SoC 可以满足当前和未来嵌入式市场的要求, 包括:

- 无线和有线通信
- 数据中心加速
- 各种工业应用

图 7. 英特尔 Agilex 5SoC HPS 结构图

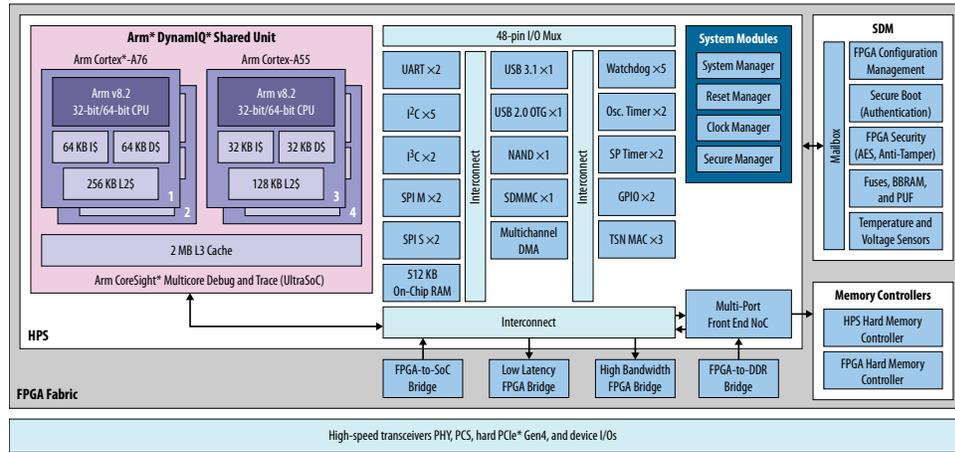


表 19. 英特尔 Agilex 5 SoC 的主要特性汇总

功能	描述
处理器单元	<ul style="list-style-type: none"> • Arm Cortex -A76 MPCore 双核和 Arm Cortex -A55 MPCore 双核的多核处理器单元 <ul style="list-style-type: none"> — CPU 频率: <ul style="list-style-type: none"> • 双核 Arm Cortex -A76—高达 1.8 GHz • 双核 Arm Cortex -A55—高达 1.5 GHz — Arm v8.2-A 架构 • 运行 64 位和 32 位 Arm 指令 • 16 位和 32 位 Thumb 指令, 使存储器空间布局减少 30% • 采用 8 位 Java* 字节码的 Arm Jazelle* 运行时编译目标(RCT)执行架构 • 超标量, 可变长度, 带动态分支预测的无序流水线(out-of-order pipeline)

继续...

英特尔公司。保留所有权利。英特尔、英特尔徽标和其他英特尔标志是英特尔公司或其子公司的商标。依照英特尔的标准保证条款, 英特尔保证其 FPGA 和半导体产品的性能符合当前规格, 但保留随时更改任何产品和服务的权利, 恕不另行通知。英特尔概不承担因应用或使用本文中描述的任何信息、产品或服务而产生的任何责任和义务, 除非得到英特尔书面上的明确同意。建议英特尔客户在信赖任何已发布的信息之前以及下单订购产品或服务之前, 应先获取最新版本的器件规格。

*其他的名称和品牌可能是其他所有者的资产。

功能		描述
		<ul style="list-style-type: none"> 改进的 Arm Neon 媒体处理引擎 单精度和双精度浮点单元 Arm CoreSight 调试和追踪技术
系统存储器管理单元		<ul style="list-style-type: none"> 实现统一的存储器模型 将硬件虚拟化扩展到 FPGA 架构中实现的外设
高速缓存一致性单元		在整个系统中传播存储在高速缓存中的共享数据的变化，为协同处理单元提供 I/O 一致性。
高速缓存存储器	常规	共享 2 MB L3 高速缓存
	双核 Arm Cortex - A76	<ul style="list-style-type: none"> 64 KB L1 I-高速缓存和每内核有 ECC 的 64 KB L1 D-高速缓存 256 KB 共享 L2 高速缓存
	双核 Arm Cortex - A55	<ul style="list-style-type: none"> 32 KB L1 I-高速缓存和每内核有 ECC 的 32 KB L1 D-高速缓存 128 KB 共享 L2 高速缓存
片上存储器		512 KB 片上 RAM
外部 SDRAM 和 HPS 的闪存接口	硬核存储控制器	<ul style="list-style-type: none"> 支持 DDR4、DDR5、LPDDR4 和 LPDDR5 40 位(32 位 + 8 位 ECC) ECC 支持，包括计算、纠错、回写校正和错误计数器 对单个 SDRAM 突发进行软件可配置的优先级调度 对所有 JEDEC 特定的时序参数的完全可编程的时序参数支持 连接到硬核存储控制器的多端口前端(MPFE)接口，支持 AMBA 4 AXI QoS 连接到 FPGA 架构的接口
	NAND 闪存控制器	<ul style="list-style-type: none"> 基于集成描述符的 DMA 控制器 可编程的硬件 ECC 支持 支持 8 位和 16 位闪存器件 兼容 ONFI 1.x、2.x、3.x 和 4.1 规范 兼容 Toggle 1.x 和 2.x 规范
	SD/SDIO/MMC 控制器	<ul style="list-style-type: none"> 集成的基于描述符的 DMA 控制器 支持 CE-ATA 数字指令 最高支持 6.1 版本的 SD 器件 最高支持 4.1 版本的 SDIO 器件 最高支持 5.1 版本的 SD/eMMC 器件 支持 SD SDR12、SDR25、SDR50、SDR104 和 DDR50 支持 eMMC 传统高速 SDR、高速 DDR、HS200 和 HS400 不支持 UHS-II 和 UHS-III 接口
	DMA 控制器	<ul style="list-style-type: none"> 两个控制器，每控制器四个通道 最多支持 48 个外设握手接口

继续...

功能	描述
通信接口控制器	<p>以太网 MAC</p> <ul style="list-style-type: none"> 三个以太网 MAC, 支持 10 Mbps、100 Mbps、1 Gbps 和 2.5 Gbps, 集成了 DMA 和 TSN 支持 包括 TSN 端点功能性的以太网标准, 符合: <ul style="list-style-type: none"> IEEE 1588-2008 高级时间戳: 用于精确网络时钟同步的 Precision Time Protocol (PTP) IEEE 802.1AS-2011: 时序和同步 IEEE 802.1Qav-2009: 转发和排列对时间敏感的流数据 IEEE 802.1Qbv-2015: 分时流量增强 IEEE 802.3br-2015 和 IEEE 802.1Qbu-2016: 占先(pre-emption) IEEE 802.1Q: VLAN 和堆栈 VLAN 支持 IEEE 802.1AS-2011: TSN 的时序和同步 以太网接口: <ul style="list-style-type: none"> 通过 HPS I/O 支持 10 Mbps、100 Mbps 和 1 Gbps 数据速率的 RGMII 操作模式 通过标准 FPGA I/O 支持 10 Mbps、100 Mbps 和 1 Gbps 数据速率的 MII、RMII、GMII 和 RGMII 操作模式(某些接口要求 FPGA 逻辑中有软核适配器) 通过 TDS I/O 使用 SGMII PCS 软核 IP 来支持 1 Gbps (1000BASE-X)或 10 Mbps、100 Mbps 和 1 Gbps (SGMII)数据速率的 SGMII 操作模式 通过 FPGA I/O 使用 SGMII+ PCS 软核 IP 和串行收发器接口支持 10 Mbps、100 Mbps、1 Gbps 和 2.5 Gbps 数据速率的 SGMII+操作模式
	<p>USB 2.0 OTG</p> <ul style="list-style-type: none"> 一个 USB OTG 控制器 双角色器件(器件和主机功能) <ul style="list-style-type: none"> 高速(480 Mbps) 全速(12 Mbps) 低速(1.5 Mbps) 支持 USB 1.1 (全速和低速) 基于集成描述符的分散-聚集 DMA 支持外部 ULPI PHY 高达 16 个双向端点, 包括控制端点 高达 16 个主机通道 支持通用根集线器 可配置成 USB OTG 1.3 和 USB OTG 2.0 模式
	<p>USB 3.1 Gen1</p> <ul style="list-style-type: none"> 支持器件以及主机控制器模式 <ul style="list-style-type: none"> USB 3.1 和 USB 2.0 接口都必须配置成器件或主机; 不支持混合模式 如果对 USB 3.1 Gen1 进行了配置并与收发器连接, 那么支持最高达到 5 Gbps 如果对 USB 2.0 Gen1 进行了配置并与 HPS I/O 连接, 那么支持最高达到 480 Gbps
	<p>I²C</p> <ul style="list-style-type: none"> 五个 I²C 控制器, 其中三个可以被 Ethernet MAC 用于 MIO 到外部 PHY 支持 100 Kbps 和 400 Kbps 模式 支持 7 位和 10 位寻址模式 支持 Master 和 Slave 操作模式
	<p>I³C</p> <ul style="list-style-type: none"> 两个 I³C 控制器 <ul style="list-style-type: none"> 一个配置为主 master 一个配置为副 master 支持高达 12.5 Mbps 的 FM、FM+ 和 SDR 数据速率
	<p>UART</p> <ul style="list-style-type: none"> 两个 UART 16550 兼容控制器 高达 115.2 kilobaud 的可编程波特率
	<p>SPI-4</p> <ul style="list-style-type: none"> 四个 SPI (两个 master, 两个 slave) 支持全双工和半双工
计时器	<ul style="list-style-type: none"> 四个通用计时器 五个看门狗定时器
<i>继续...</i>	

功能		描述
I/O		<ul style="list-style-type: none"> 48 个 HPS 直接 I/O 允许 HPS 外设直连到 I/O 最多两个 FPGA 架构 I/O bank 可分配给 HPS 用于 HPS DDR 访问
与逻辑内核互连	HPS 到 FPGA 桥接	<ul style="list-style-type: none"> 允许 HPS 总线主控 (bus master) 访问 FPGA 架构中的总线从控制 (bus slave) 可配置的 32 位、64 位或者 128 位 AMBA AXI 数据接口支持高带宽 HPS master 事务传输到 FPGA 架构 支持高达 256 千兆字节(GB)的地址空间
	轻型 HPS 到 FPGA 桥接	<ul style="list-style-type: none"> 轻型 32 位 AMBA AXI 接口, 适用于从 HPS 到 FPGA 架构中软核外设的低带宽寄存器访问 支持高达 512 MB 的地址空间
	FPGA - to - HPS 桥接	<ul style="list-style-type: none"> 针对 HPS 外设和共享 SDRAM 的 256 位 FPGA 到 HPS (FPGA - to - HPS) 接口 共享的 SDRAM, 可使用非相关(non-coherent)⁽¹⁸⁾ 或者硬件支持的 I/O 相关的 (coherent)事务进行访问 支持 ACE5-Lite 高速缓存存储到 DynamIQ Shared Unit 的 L3 高速缓存或单个内核的 L1 高速缓存中。
	FPGA - to - SDRAM 桥接	<ul style="list-style-type: none"> 针对 DDR I/O 的 64、128 或者 256 位的 FPGA 到 SDRAM 接口 仅支持非相关 (non-coherent) ⁽¹⁸⁾事务

⁽¹⁸⁾ 对于非相关事务, 请确保 HPS 和 FPGA 软逻辑不会干扰彼此的 SDRAM 空间。

12. 英特尔 Agilex 5 FPGA 和 SoC 中的收发器

英特尔 Agilex 5 FPGA 和 SoC 配备了广泛针对各种应用而优化的 NRZ 收发器，范围从 1 Gbps 到 28.1 Gbps NRZ。

英特尔 Agilex 5 FPGA 和 SoC 中的单片收发器实现了边缘或中端 FPGA 应用中的低延迟。对于长距离背板驱动的应用，这些器件使用先进的自适应均衡电路来均衡系统损耗。

所有 英特尔 Agilex 5 FPGA 收发器通道都配备了这些模块：

- 专用 PMA—提供与物理通道的主要对接能力。
- 硬化的 PCS—支持 64b/66b 编码和解码功能、数据加扰、模块对齐和变速箱功能。
- FEC—用于 10/25 GbE BASE-KR/CR 应用的 Firecode FEC 和 Reed Solomon FEC（里所码，向前纠错的信道编码）。

具有独立时钟域的单个 PMA – PCS 通道构成了每个收发器通道。通过使用一个高度可配置的时钟分配网络，您可以配置每个收发器 bank 内的各种绑定和非绑定数据速率。

图 8. D 系列 FPGA 收发器结构框图

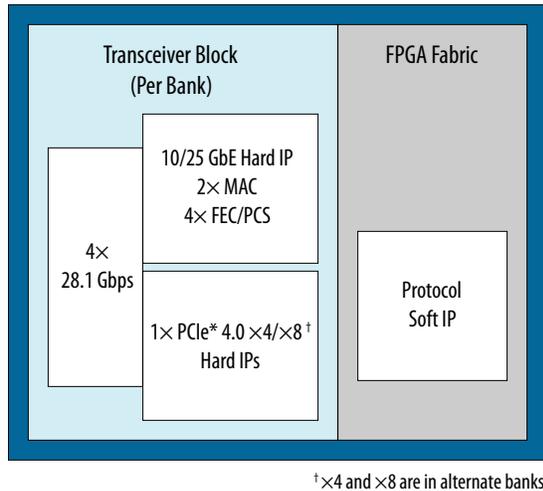


图 9. E 系列 FPGA 收发器结构框图

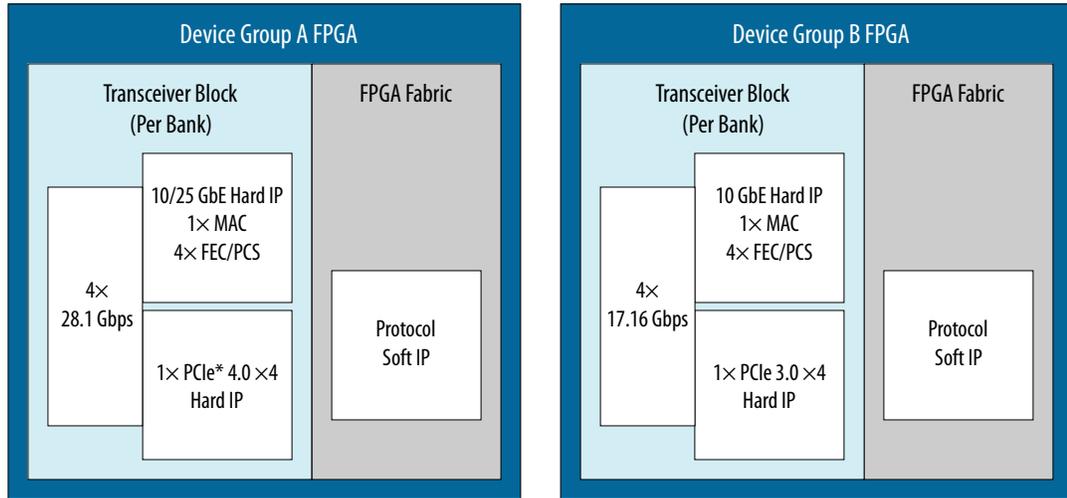


表 20. 英特尔 Agilex 5 FPGA 和 SoC 中的 FPGA 收发器

性能	最大规格		
	D 系列 FPGA	E 系列 FPGA	
		Device Group A	Device Group B
最大速度	28.1 Gbps NRZ (1 – 28.1 Gbps 连续)	28.1 Gbps NRZ (1 – 28.1 Gbps 连续)	17.16 Gbps NRZ (1 – 17.16 Gbps 连续)
FEC	10/25 GbE FEC 直接模式 (IEEE 802.3 第 74 条 Firecode FEC 和第 91 条 RS-FEC 硬核 IP)	4x10/25 GbE FEC 直接模式 (IEEE 802.3 第 74 条 Firecode FEC 和第 91 条 RS-FEC 硬核 IP)	4x10 GbE FEC 直接模式 (IEEE 802.3 第 74 条 Firecode FEC 硬核 IP)
PCS	10/25 GbE PCS 直接模式 ⁽¹⁹⁾ (64b/66b 硬核 IP)	4 x 10/25 GbE PCS 直接模式 ⁽¹⁹⁾ (64b/66b 硬核 IP)	4 x 10 GbE PCS 直接模式 ⁽¹⁹⁾ (64b/66b 硬核 IP)
PCIe	<ul style="list-style-type: none"> PCIe 4.0 x8 控制器硬核 IP PCIe 4.0 x4 控制器硬核 IP 	PCIe 4.0 x4 控制器硬核 IP	PCIe 3.0 x4 控制器硬核 IP
Transmitter (发送器)/ Receiver (接收器)	独立发送器和接收器以支持组合单工协议		
PMA	PMA 直接模式(绕过 Ethernet 和 PCIe 硬核 IP)		

12.1. 英特尔 Agilex 5 FPGA 收发器中的 PMA 特性

发送器、接收器和高速时钟资源构成了 PMA 通道。该发送功能可以在高达 28.1 Gbps NRZ 的数据速率上实现卓越的信号完整性。此外，每个 PMA 都具有高级均衡电路，可以对宽频谱范围内的传输损耗进行补偿。

⁽¹⁹⁾ 在 GbE 和其他协议上支持 PCS 直接模式。

表 21. 英特尔 Agilex 5 FPGA 和 SoC 中的收发器 PMA 特性

特性	性能
数据速率	高达 28.1 Gbps
光学模块支持	SFP+ 光学模块支持
线缆驱动支持	SFP+ Direct Attach
发送预加重	NRZ 的一个后抽头(post-tap)和两个预抽头(pre-tap)
动态重配置	每个收发器通道 Avalon 存储器映射接口的独立控制实现了收发器灵活性
多个 PCS-PMA 和 PCS 到 FPGA 架构接口宽度	<ul style="list-style-type: none"> 灵活的解串化宽度、编码和降低的延迟 收发器(带可选的 FEC 或 PCS 的 PMA)到 FPGA 架构接口—从 8 位到 66 位选项

12.2. 英特尔 Agilex 5 FPGA 收发器中的 PCS 特性

英特尔 Agilex 5 FPGA 和 SoC 中的 PMA 通道通过可配置和可旁路的 PCS 接口层与内核逻辑进行对接。

PCS 包含多个变速箱实现，以解耦 PMA 和 PCS 接口宽度。收发器(带可选的 FEC 或 PCS 的 PMA)到 FPGA 架构接口支持从 8 位到 66 位选项。该特性使您能够广泛实现各种应用。

PCS 硬核 IP 在广泛的数据速率和编码方案范围内支持各种标准和专有协议。

12.3. 英特尔 Agilex 5 FPGA 和 SoC 中的收发器 PLL

英特尔 Agilex 5 FPGA 收发器中有两种类型的 PLL。

表 22. 英特尔 Agilex 5 FPGA 收发器 PLL 的类型

PLL 类型	描述
TX PLL	<ul style="list-style-type: none"> 每 bank 四个 TX PLL 或者每收发器通道一个 TX PLL 基于 LC tank 的 PLL，其具有精确的小数分频综合和超低抖动 支持收发器接口 专用于收发器用途
系统 PLL	<ul style="list-style-type: none"> 每个 bank 一个系统 PLL 仅支持具有精确的频率综合的整数模式 支持收发器到架构接口 如果您未将 System PLL 用于收发器，则可以将该 PLL 重新用于内核架构



13. 英特尔 Agilex 5 FPGA 和 SoC 中的 MIPI 协议支持

英特尔 Agilex 5 FPGA 和 SoC 支持原生 MIPI IP D-PHY。该器件支持最高达到 3.5Gbps⁽²⁰⁾ 每 lane 的 MIPI D-PHY v2.5。此 英特尔 Agilex 5 FPGA 支持 MIPI D-PHY 无需外部元件的高速和低功耗信令模式。

MIPI IP D-PHY 的特性：

- 使能单向多 lane 配置—1、2、4 或 8 个 lane
- 支持高达 3.5 Gbps⁽²⁰⁾ 每通道的低功耗和高速信令

MIPI IP D-PHY 根据以下协议实现了用于 英特尔 Agilex 5 FPGA 的 MIPI 发送和接收接口：

- 采用底层 D-PHY 标准的相机串行接口(CSI-2) 3.0 版本
- 采用底层 D-PHY 标准的显示器串行接口(DSI-2) 2.0 版本

表 23. 英特尔 Agilex 5 FPGA 和 SoC 中的 MIPI CSI-2 和 DSI-2 性能

协议	D 系列 FPGA	E 系列 FPGA	
		Device Group A	Device Group B
CSI-2	<ul style="list-style-type: none"> • CSI-2 3 版本, 高达八个 lane • D-PHY v2.5, 最高达到 3.5 Gbps⁽²⁰⁾ 	<ul style="list-style-type: none"> • CSI-2 3 版本, 高达八个 lane • D-PHY v2.5, 最高达到 3.5 Gbps⁽²⁰⁾ 	<ul style="list-style-type: none"> • CSI-2 version 3, up to eight lanes • D-PHY v2.5, 最高达到 2.5 Gbps⁽²¹⁾
DSI-2	<ul style="list-style-type: none"> • CSI-2 2 版本, 高达四个 lane • D-PHY V2.5, 最高达到 3.5 Gbps 	<ul style="list-style-type: none"> • CSI-2 2 版本, 高达四个 lane • D-PHY v2.5, 最高达到 3.5 Gbps⁽²⁰⁾ 	<ul style="list-style-type: none"> • CSI-2 2 版本, 高达四个 lane • D-PHY v2.5, 最高达到 2.5 Gbps⁽²¹⁾

(20) 对于标准参考通道, 高达 3.5 Gbps, 对于长参考通道, 高达 2.5 Gbps。

(21) 对于标准参考和长参考通道, 高达 2.5 Gbps。

图 10. MIPI 接收器结构图

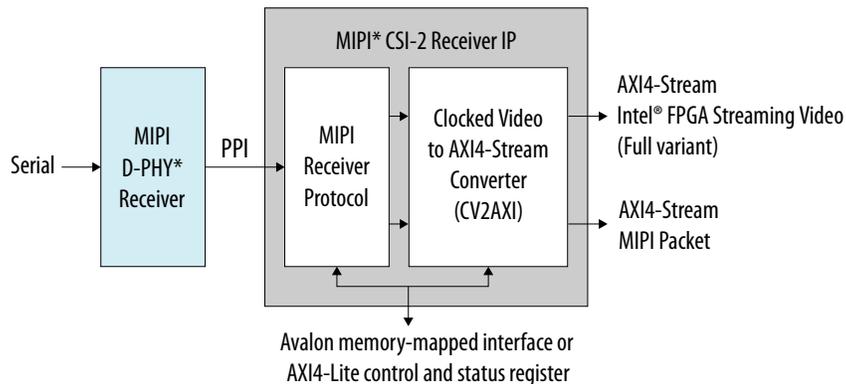
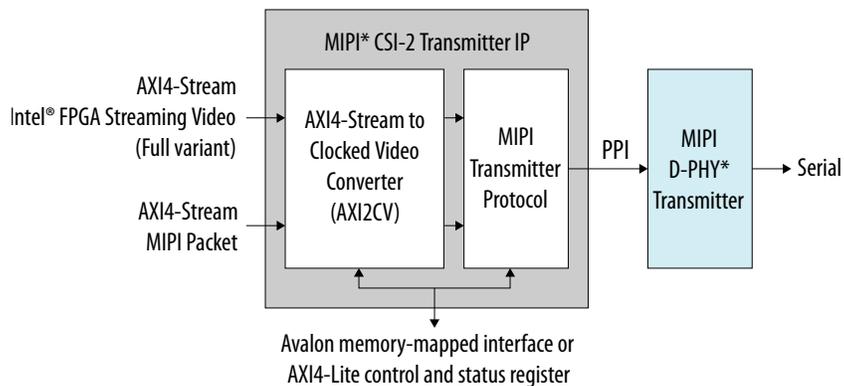


图 11. MIPI 发送器结构图

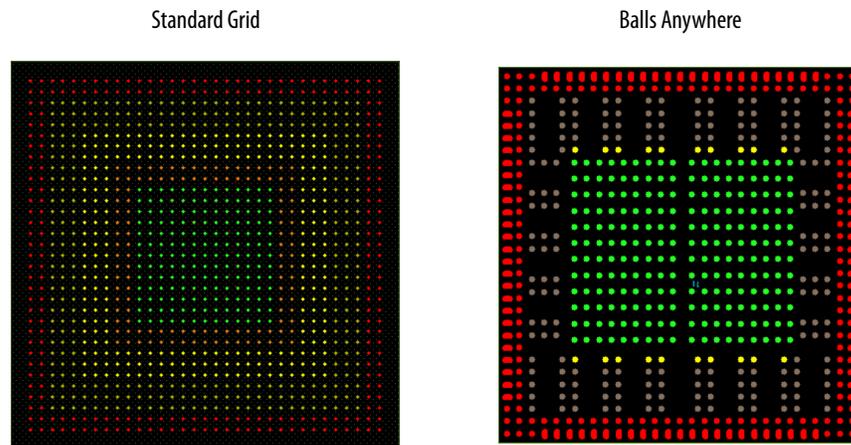


14. 英特尔 Agilex 5 FPGA 和 SoC 的 Balls Anywhere 封装设计

大部分 英特尔 Agilex 5 FPGA 和 SoC 封装使用“ball anywhere”封装设计。E 系列 FPGA 还提供 0.5 mm 球间距的标准球栅封装，以适用于具有更多 I/O 数量的小外形规格。

与标准的球栅阵列(BGA)封装相比，“balls anywhere”封装有一个混合的球间距和不同尺寸的焊盘。“balls anywhere”封装有一个混合的球间距尺寸，最小的球间距为 0.65 mm。

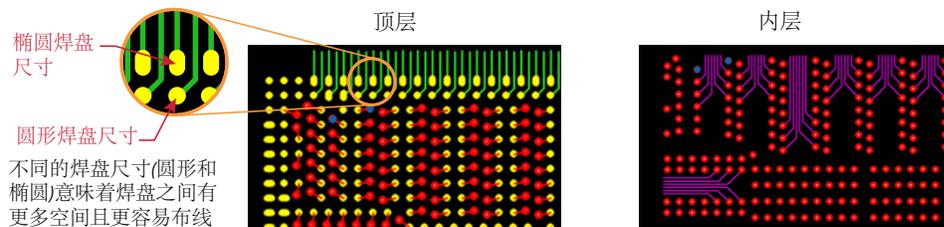
图 12. 标准球栅 (Standard Grid) 与焊球无处不在 (Balls Anywhere) 之间的比较



混合的球间距有助于将封装外形尺寸减少 1 mm 到 2 mm。与标准的 BGA 封装相比，尽管“balls anywhere”封装尺寸较小，但能够提供相同的 I/O 管脚数量和兼容的电气性能。

如下图所示，混合的球栅图案中有不同大小的焊盘。这一特点简化了走线的可布线性，从而降低了设计的复杂程度，减少了 PCB 层数以及电路板的厚度和尺寸—最终降低了电路板成本并缩短了开发时间。

图 13. Balls Anywhere 封装 PCB 走线的布线示例





15. 英特尔 Agilex 5 FPGA 和 SoC 的使用 PCIe 通过协议配置

PCIe 通过协议配置 (CvP) 使您能够通过 PCIe 总线配置 英特尔 Agilex 5 FPGA 和 SoC。这一功能可简化电路板的布局并提高系统集成度。

在 FPGA 被配置之前，嵌入式 PCIe 硬核 IP 以自主模式运行。通过使用该硬核 IP，您能够在 PCIe 规范所允许的 100 ms 的时间内上电并激活 PCIe 总线。

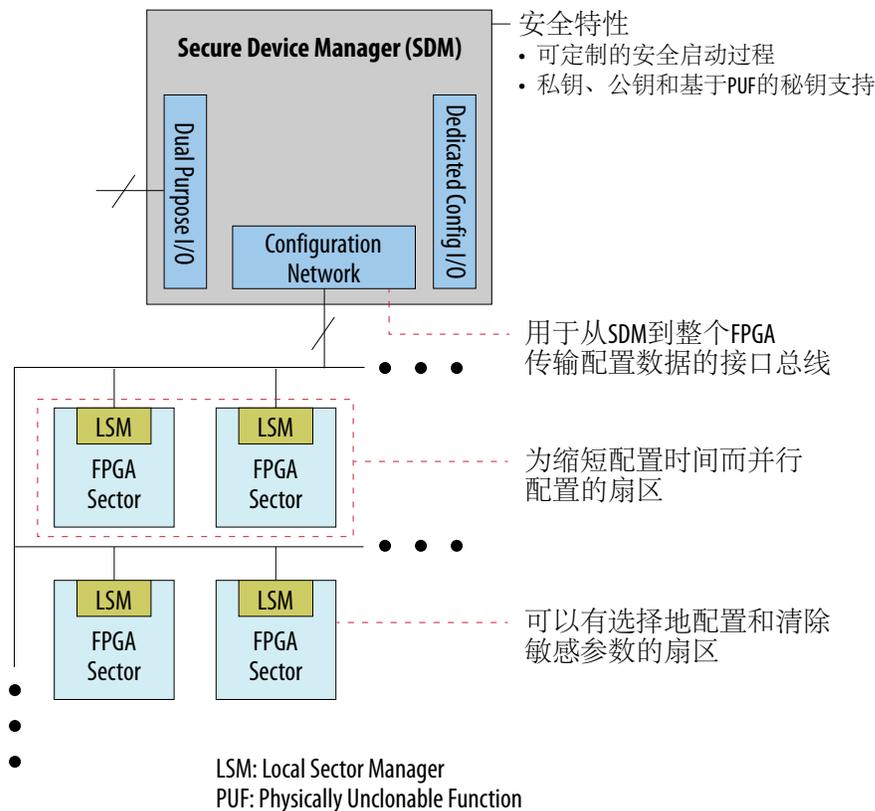
英特尔 Agilex 5 FPGA 和 SoC 还支持通过 PCIe 总线进行部分重配置。这一特性可通过在器件重配置期间保持 PCIe 链路处于激活状态来减少系统宕机时间。

16. 英特尔 Agilex 5 FPGA 和 SoC 中的器件配置和 SDM

全部 英特尔 Agilex 5 FPGA 和 SoC 都包含 SDM。SDM 是一个三重冗余处理器，作为所有 JTAG 和配置命令进入器件的入口点。此外，英特尔 Agilex 5 FPGA 和 SoC 中的 SDM 启用 FIPS140-3 第 2 层合规性系统认证。

SDM 引导 英特尔 Agilex 5 SoC 中的 HPS。这种引导确保了 HPS 使用与 FPGA 相同的安全特性进行启动。

图 14. SDM 结构图



在配置过程中，英特尔 Agilex 5 FPGA 或者 SoC 被划分为逻辑扇区。本地扇区管理器(LSM)管理每一个逻辑扇区。SDM 将配置数据传递给片上配置网络上的每个 LSM。

基于扇区的方法的优点：

- 实现了扇区的独立配置——一次配置一个或并行配置
- 实现了简化的扇区配置和重配置
- 减少了由固有并行性而导致的整体配置时间。

英特尔 Agilex 5 FPGA 和 SoC 使用相同的基于扇区的方法来应对 SEU 和安全攻击。

尽管扇区为器件配置和重配置提供了逻辑上的分离，但扇区覆盖了 FPGA 逻辑和布线的正常行和列：

- 对英特尔 Quartus Prime 软件布局布线没有影响
- 对跨越扇区边界的逻辑信号的时序没有影响

SDM 实现了可靠、安全和完全认证的器件配置。此外，SDM 使您能够定制配置方案，从而提高了器件的安全性。

基于 SDM 的器件配置方法的优点：

- 提供一个专用的安全配置管理器
- 由于可同时配置多个扇区，因此缩短了器件配置时间
- 实现了一个可更新的配置过程
- 支持部分重配置
- 支持远程系统更新
- 支持整个器件或单个扇区的归零

表 24. 支持 英特尔 Agilex 5 FPGA 的配置方案

配置方案	数据宽度	最大数据速率
主动串行 (AS) 普通和快速模式	4 位	4 bits × 166 MHz = 664 Mbps
Avalon® streaming interface ×16 ⁽²²⁾	16 位	16 bits × 125 MHz = 2 Gbps
Avalon streaming interface ×8	8 位	8 bits × 125 MHz = 1 Gbps
JTAG	1 位	1 bit × 30 MHz = 30 Mbps
通过协议配置(CvP)	×1、×2、×4 和×8 个 lane	最大数据速率取决于 PCIe 的代次(generation)和 lane 数量。通常情况下，器件内部配置数据路径的数据速率会限制配置数据宽度，而非 PCIe 链路宽度。

(22) E 系列 A5E 005B 和 A5E 007B 器件中不支持。

17. 英特尔 Agilex 5 FPGA 和 SoC 的部分和动态配置

英特尔在英特尔 Quartus Prime 设计软件中经验证的增量编译的基础上构建了部分重配置流程。通过使用部分重配置，您可以在其他部分继续运行的同时对 FPGA 的部分进行重配置。在对关键正常运行时间有要求的系统中，您可以在不中断提供服务的情况下对功能进行更新或调整。

除了降低功耗和成本外，部分配置还有效地提高了逻辑密度。您可以将不需要同时操作的功能存储在外部存储器中，而不是从一开始就把所有功能放置在 FPGA 中。您可以在需要时将这些功能加载到 FPGA 中。通过使用这种技术，您可以在单个 FPGA 上运行多个应用，从而降低了对 FPGA 尺寸、电路板空间和功耗的要求。

通过使用动态重配置，英特尔 Agilex 5 FPGA 和 SoC 可以在不影响相邻收发器通道的数据传输的情况下动态更改数据速率、协议以及收发器通道的仿真设置。该功能非常适合要求即时多协议或多速率支持的应用。

您可以动态地重配置收发器内的 PMA 和 PCS 模块。您也可以将动态重配置和部分重配置一起使用，这样就可以同时对 FPGA 内核和收发器进行部分重配置。



18. 英特尔 Agilex 5 FPGA 和 SoC 的器件安全性

英特尔 Agilex 5 FPGA 和 SoC 是基于强健的安全特性而构建，并由 SDM 管理。这些器件将 SDM 的操作优先于架构和其他微处理器任务。

专用 SDM 管理并支持以下关键的安全特性：

- 管理 FPGA 配置过程和所有安全特性
- 执行认证的 FPGA 配置和 HPS 引导
- 支持 FPGA 比特流加密、安全密钥配置和 PUF 密钥存储
- 支持使用 SPDM 协议进行平台认证
- 管理运行时传感器并支持主动篡改检测和响应
- 提供访问固化加密引擎即服务

除上述列表外，以下表格还总结了安全性的三大支柱以及 英特尔 Agilex 5FPGA 和 SoC 支持的高级安全特性。

表 25. 英特尔 Agilex 5 FPGA 和 SoC 高级安全性功能

安全支柱	器件安全性功能特性
保密性、完整性和可用性	<ul style="list-style-type: none"> • 加密 • 验证 • 认证 • 安全启动 • 用户访问加密功能 • 安全调试 • 供应商授权的引导
密钥保护	<ul style="list-style-type: none"> • 侧通道缓解 • 物理防篡改检测和响应
安全制造	<ul style="list-style-type: none"> • 黑密钥配置 • 安全的退货授权(RMA)

19. 英特尔 Agilex 5 FPGA 和 SoC 中的 SEU 错误检测和纠正

英特尔 Agilex 5 器件具备一个可靠的 SEU 错误检测和纠正电路，可保护配置 RAM (CRAM)编程位 M20K 用户存储器。

为了保护 CRAM，集成 ECC 的一个奇偶校验电路持续运行以自动纠正单个位或双位错误并检测高阶的多位错误。CRAM 阵列经过优化的物理布局使得大多数的多位翻转都表现为独立的单个位或双位错误。因此，CRAM ECC 电路可以自动纠正这些错误。

用户存储器还有集成的 ECC 电路，并且针对错误检测和纠正进行了布局上的优化。

为了提供一个完整的 SEU 缓解解决方案，一个软核 IP 和英特尔 Quartus Prime 软件支持 SEU 错误检测和纠正硬件。以下组件构成了完整的解决方案：

- CRAM 和 M20K 用户存储器模块的硬核错误检测和纠正
- 优化的存储器单元物理布局，以最大限度地降低 SEU 的概率
- 敏感度处理软核 IP，可报告一个 CRAM 翻转影响了一个使用过的位还是影响了一个未使用的位
- 英特尔 Quartus Prime 软件支持的故障注入软核 IP，可更改 CRAM 位的状态以用于测试目的
- 英特尔 Quartus Prime 软件中的层次结构标记功能
- 用于 SDM 和关键片上状态机的三重模块化冗余(TMR)

英特尔 Agilex 5 FPGA 和 SoC 还支持如下 SEU 缓解功能：

- 通过一个连接 LSM 管脚和架构的 IP，实现快速 SEU 检测通知。该通知使架构软核逻辑能够更快地检测已报告的 SEU 事件。然后您可以通过 SDM 邮箱检索更多的 SEU 详情。
- 对不能自动纠正的 SEU 错误进行外部擦拭(scrubbing)。您可以创建擦拭比特流(最多一个扇区粒度)来擦拭 SEU 损坏的配置位，同时保持器件的其余部分完好无损。
- 配置系统中的单比特 ECC 注入、ECC 错误检测和存储器报告。您可以通过发布 ECC 注入命令并从 SDM 查询 ECC 状态来测试 ECC 检测逻辑。

此外，英特尔 Agilex 5 FPGA 和 SoC 是基于 FinFET 的 Intel 7 技术而构建。与传统的平面晶体管相比，FinFET 晶体管更难以受到 SEU 的影响。



20. 英特尔 Agilex 5 FPGA 和 SoC 的电源管理

英特尔 Agilex 5 FPGA 和 SoC 器件系列提供标准电源器件，支持 SmartVID 和具有有限内核速度选项的固定内核电压的器件。

英特尔 Agilex 5 FPGA 和 SoC 实现了显著的总功耗降低：

- D 系列—相比英特尔 Stratix 10 FPGA，最高达到 42%
- E 系列—相比 Cyclone V FPGA，最高达到 50%

为降低总功耗，英特尔 Agilex 5 FPGA 和 SoC 采用了：

- 先进的 Intel 7 技术
- 第二代英特尔 Hyperflex 内核架构
- SmartVID 或固定的内核电压
- 诸如电源岛和电源门控的其他降耗技术

表 26. 英特尔 Agilex 5 FPGA 和 SoC 电源选项

器件类型	器件系列	描述
SmartVID	<ul style="list-style-type: none"> • D 系列 • E 系列 Device Group A 	<ul style="list-style-type: none"> • 这些器件在最佳内核电压上运行，满足 VID 功率限制和各种 FPGA 应用所要求的器件性能。 • 出厂编程的代码使 PMBus 稳压器能够在最佳的内核电压上运行，以满足器件 VID 功率限制和性能规范。因此，您必须使用一个专用的 PMBus 稳压器强制性地驱动 SmartVID 器件的 V_{CC} 和 V_{CCP} 内核电压电源。
固定电压	E 系列 Device Group B	<ul style="list-style-type: none"> • 该器件支持 0.75 V、0.78 V 和 0.8 V。 • 通过使用一个固定的低内核电压，这些器件进一步降低了总功耗。 • 这些固定电压的器件在保持器件性能的同时具有比 SmartVID 标准功率器件更低的静态功耗。

电源岛和电源门控功能可以关闭 英特尔 Agilex 5 器件中未使用的资源，以减少静态功耗。在配置过程中，英特尔 Quartus Prime 软件会自动关闭特定未使用的资源，如 DSP 或 M20K 模块。

此外，英特尔 Agilex 5 器件还配备业界领先的低功耗收发器和一些硬核 IP 模块。与软核实现相比，硬核 IP 模块不仅减少了逻辑资源，而且还能大大节省功率。硬核 IP 模块的功耗通常比等同的软核逻辑实现的功耗低 50%。

21. 用于 英特尔 Agilex 5 FPGA 和 SoC 的英特尔 软件和工具

英特尔 Quartus Prime Pro Edition 设计套件通过一个新的编译器和 Hyper-Aware 设计流程来支持 英特尔 Agilex 5 FPGA 和 SoC。

与英特尔 oneAPI 工具包一起，软件开发人员可以使用 英特尔 Agilex 5 FPGA 和 SoC 开发加速解决方案。英特尔 oneAPI 工具包为各种计算引擎提供了一个统一的，单一来源的，软件友好和异构的编程环境。该工具包包含一个全面，统一的开发工具组合，您可以使用这些工具将软件映射到硬件并加速您的代码。

为了提高您的设计效率和质量，英特尔还对 英特尔 Agilex 5 FPGA 和 SoC 提供了以下工具：

- 收发器工具包
- Platform Designer IP 集成工具
- 英特尔 DSP Builder 用于英特尔 FPGA 高级模块组
- Arm Development Studio for Intel SoC FPGA (Arm DS for Intel SoC FPGA)



22. 英特尔 Agilex 5 FPGA 和 SoC 器件概述的修订历史

文件版本	修订内容
2023.01.10	首次发布。